

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶ H01L 21/70 (11) 공개번호 특 1999-029622
(43) 공개일자 1999년 04월 26일

(21) 출원번호 특 1998-036924
(22) 출원일자 1998년 09월 08일
(30) 우선권주장 1997-242825 1997년 09월 08일 일본(JP)
1998-81415 1998년 03월 27일 일본(JP)
(71) 출원인 가부시키가이샤 히타치 세이사쿠쇼 카나이 켄토무
일본국 도쿄도 치요다구 간다 쓰루가다이 4초메 6반지
(72) 발명자 오오하시 나오후미
일본국 사이타마켄 한노우시 미스기다이 5-2 9-505
야마구치 히즈루
일본국 도쿄도 아키히마시 타마가와초 1-4-1-703
노구치 준지
일본국 도쿄도 오우메시 신마치 9-4-4
오오와다 노부오
일본국 도쿄도 오우메시 다이온 3-7-7
(74) 대리인 이종일

심사청구 : 없음

(54) 반도체집적회로장치 및 그 제조방법

요약

본 발명은 반도체집적회로장치의 제조기술 및 반도체집적회로장치에 있어서, 특히 예를 들어 구리를 주전도층으로 하는 금속배선으로, 홀내로의 구리박막의 퇴적후 CMP(Chemical Mechanical Polishing)법에 의해 홀영역 이외의 구리박막을 연마에 의해 제거하여 형성된 배선을 가지는 반도체집적회로장치에 적용하는 기술에 관한 것이다.

본 발명은 반도체소자가 형성된 반도체기판의 상층에 층간절연막이 형성되고 층간절연막에 형성된 배선홀에 매립된 배선이 구리등의 금속막의 퇴적과 CMP법에 의한 연마에 의해 형성된 반도체집적회로장치에 있어서, 배선 및 층간절연막상에 형성된 층간절연막을 브로킹층, 평탄화층 및 절연막으로 구성하고 평탄화층으로서는 자기유동성을 가지는 피막 예를 들어 SOG막을 이용하는 것을 제시한다.

본 발명의 반도체집적회로장치 및 그 제조방법에서, 층간절연막의 표면은 평탄화층의 존재에 의해 평탄성이 확보되어 있기 때문에, 배선형성을 위한 연마를 행하여도 요철부에서 기인하는 금속막의 잔류물이 발생하지 않는다. 따라서, 배선의 쇼트불량이 방지되고 반도체집적회로장치의 수율과 신뢰성을 향상시킬 수 있는 효과를 얻을 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 1 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

도 2는 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

도 3은 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

도 4는 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

도 5는 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

도 6은 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

도 7은 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

도 8은 실시예 1의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.

[illegible]

도 54는 실시예 3의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 55는 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.
 도 56은 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 57은 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 58은 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 59는 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 60은 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 61은 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 62는 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 63은 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 64는 실시예 4의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 65는 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.
 도 66은 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.
 도 67은 실시예 6의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 68은 실시예 6의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 69는 실시예 6의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 70은 실시예 6의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 71은 실시예 6의 반도체집적회로장치의 제조방법의 일예를 공정 순으로 도시한 단면도이다.
 도 72는 본 발명의 또 다른 실시예인 반도체집적회로장치의 다른 일예를 도시한 단면도이다.
 도 73은 본 발명자들이 검토한 문제점을 설명하는 도면이고, 도 73(a)는 평면도, 도 73(b)는 도 73(a)에서 b-b 단면도, 도 73(c)는 도 73(a)에서 c-c 단면도이다.
 도 74는 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.
 도 75는 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.
 도 76은 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.
 도 77은 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

도면의 주요부분에 대한 부호의 설명

- | | |
|-------------------|-------------------------------|
| 1 : 반도체기판 | 2 : S01절연층 |
| 3 : U홀소자분리영역 | 4 : P웰 |
| 6 : 게이트절연막 | 7 : 게이트전극 |
| 8 : 불순물반도체영역 | 9 : 측벽공간 |
| 10 : 캡절연막 | 11a, 11b : 층간절연막 |
| 11c : 스크랫치 | 12 : 접속공 |
| 13a : 텅스텐막 | 13b : 금속플러그 |
| 14, 18 : 배선 | 14a : 주전도층 |
| 14b, 18b : 질화티타늄막 | 14c, 23 : 요충부(디싱) |
| 15 : 배선홀 | 16, 21 : 층간절연막 |
| 16a, 21a : 브로킹층 | 16b : 평탄화층 |
| 16c : 절연막 | 17 : 배선홀 |
| 18a : 주전도층 | 20 : 금속막 |
| 21b, 22 : 실리콘산화막 | 101 : 반도체기판 |
| 102 : 소자분리영역 | 103 : p형웰 |
| 104 : n형웰 | 105 : 게이트절연막 |
| 106 : 게이트전극 | 107, 108 : 반도체영역 |
| 109 : 측벽공간 | 110 : 캡절연막 |
| 111 : 층간절연막 | 112, 115, 122, 127, 132 : 접속공 |

- 13, 116, 123, 128, 133 : 플러그
 113a, 116a : 스퍼터법에 의한 텅스텐막
 113b, 116b : 블랑켓CVD, 선택CVD에 의한 텅스텐막
 M1, M2, M3, M4, M5: 제 1, 제 2, 제 3, 제 4, 제 5 층 배선
 114, 121, 126, 131 : 배선층간절연막
 117, 124, 129 : 배선형성용 절연막 118 : 배선홀
 119a : 배리어층 119b : 주전도층
 120, 125, 130, 140, 141 : 요철부(디싱)
 121a, 126a, 131a : 브로킹층 121b, 126b, 131b : 평탄화층
 121c, 126c, 131c : 절연막 134 : 절연막
 135 : 범프하지금속 136 : 범프
 140, 145 : 스크래치 Qn, Qp : n채널, p채널 MISFET

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치의 제조기술 및 반도체집적회로장치에 있어, 특히 예를 들어 구리를 주전도층으로 하는 금속배선으로, 홀 내로 구리박막이 퇴적한 후 CMP(Chemical Mechanical Polishing)법에 의해 홀 영역이외의 구리박막을 연마에 의해 제거하여 형성된 배선을 가지는 반도체집적회로장치에 적용되는 효과적인 기술에 관한 것이다.

종래에 반도체집적회로에서 배선층의 형성은 예를 들어 절연막 상에 알루미늄(Al) 합금 또는 텅스텐(W) 등의 고용성 금속박막을 성막한 후, 포토리소그래피 공정에 의해 배선용박막 상에 배선패턴과 동일한 형상의 레지스터패턴을 형성하여, 그것을 마스크로 해서 드라이�칭 공정에 의해 배선패턴을 형성했었다.

그러나, 이 Al 합금 등을 이용하는 방법에서는 배선의 미세화와 더불어 배선저항의 증대가 현저해지고 그에 따라 배선지연이 증대하여 반도체집적회로장치의 성능이 저하하는 등의 문제가 있었다. 특히, 고성능의 로직 LSI 에서는 그 성능 저해요인으로 큰 문제가 발생하고 있다.

또한, 1995, IBM J.Res.Develop.Vol.39, No.4, July, 1995, pp419-435 또는 1996 Symposium on VLSI Technology Digest of Technical Papers, pp 48-49에서, 절연막에 형성된 홀 상에 구리(Cu)를 주전도층으로 하는 배선용 금속을 채워 넣은 뒤, 홀 외부의 여분의 금속을 CMP법(화학기계연마법)을 이용하여 제거함으로써 홀 내에 배선패턴을 형성하는 방법(소위 다마신 법)이 기재되어 있다.

또한, 일본국 특개평 7-297183호 공보에는 반도체기판 상에 형성된 절연층 상에 배선홀을 형성하고, 또한 절연막을 형성한 후에 전도성 배선층을 형성하고, 배선홀을 채워 넣듯이 SOG(Spin On Glass)로 이루어지는 평탄화층을 형성하고, 평탄화층 및 전도성 배선층을 연마하여 전도성 배선층으로 이루어지는 배선을 배선홀에 형성하는 기술이 기재되어 있다.

발명이 이루고자하는 기술적 과제

그러나, 절연막에 형성한 홀 상에 구리(Cu)등을 주전도층으로 하는 배선용 금속을 채워 넣은 후, 홀 외부의 여분의 금속을 CMP법(화학기계연마법)을 이용하여 제거하는 것에 관해 검토한 결과, 본 발명은 이하의 문제를 발생시킨다는 것을 알아냈다. 이 문제점을 도 73을 사용하여 설명하겠다. 도 73은 본 발명자들이 검토한 문제점을 설명하는 도면으로, (a)는 평면도, (b)는 (a)에서의 b-b 단면도, (c)는(a)에서의 c-c단면도이다. 또한, 도 73은 문제가 되는 배선층에 대해서만 도시하며, 그 외의 부재에 대해서는 생략하고 있다.

즉, 절연막(201)상에 배선(202)을 형성하기 위해서는 먼저 절연막(201)상에 배선형성용 절연막(203)을 퇴적하고, 이 절연막(203)에 배선홀(204)을 형성한다. 절연막(203)에는 통상 실리콘 산화막이 사용된다. 다음, 배선홀(204)을 매립하듯이 절연막(203)상에 배선(202)을 구성하는 금속막(예를 들어 구리(Cu))를 퇴적하여, 배선홀(204)이외의 절연막(203)상의 금속막을 CMP법에 의해 연마하여 제거한다. 이로 인해 배선홀(204)내에만 금속막이 잔류하고 배선(202)이 형성된다. 그러나, 절연막(203)인 실리콘 산화막과 배선(202)을 구성하는 금속(예를 들어 구리)중에서는 일반적으로 구리 쪽이 CMP의 연마속도가 크다. 이 때문에, 배선(202)의 표면부분에 요철(凹)부(205)가 발생한다. 이 요철부(205)는 소위 디싱(dishing)(홀)의 일종으로 알려진 것이다. 또한, CMP에 의한 연마에 의해 절연막(203)의 표면에 스크래치(흠)도 발생한다.

이와 같은 요철부(205) 또는 스크래치가 존재하는 상태로 그 상층에 절연막(206)을 형성하면, 절연막(206)의 표면에도 요철부(205) 또는 스크래치에서 기인하는 요철부가 발생한다. 이 요철부가 존재한 상태에서 절연막(206)에 플러그(207)를 CMP법에 의해 형성하면, 절연막(206) 표면의 요철부에 플러그(207)를 구성하는 전도물질(208)이 잔류하게 된다. 즉, 플러그(207)의 형성은 절연막(206)에 개구한 접속공의 내부에 플러그(207)를 구성하는 금속막을 매립함과 동시에 절연막(206)상에 금속막을 퇴적하고 이 절연막(206)상의 금속막을 CMP법에 의해 제거함으로써 접속공 내에만 금속막이 잔류하여 형성하

지만, 절연막(206)의 표면에 요철부(스크래치에서 기인하는 요철부를 포함한다)가 존재하면 요철부 내에도 금속막의 잔류물인 전도물질(208)이 잔류한다. 또한, 스크래치에서 기인하는 요철부에도 금속막이 잔류할 가능성이 있지만 도면에서는 생략하고 있다.

이와 같은 전도물질(208)의 잔류는 본래 의도했던 것이 아니기 때문에 바람직하지 못하다. 즉, 플러그(207)상에 절연막(209)을 형성하고 이 절연막(209)의 배선헬에 배선(210)을 형성하면, 본래 절연되어야 할 배선(210)간이 전도물질(208)의 존재에 의해 전기적으로 단락되어 반도체집적회로장치의 쇼트불량이 발생하게 된다.

또, 이와 같은 쇼트불량은 플러그(207)를 이용하지 않고 소위 듀얼다마신(dual damascene)법으로 배선을 형성하는 경우에도 똑같이 발생한다.

본 발명은 이와 같은 문제점을 해결하기 위해 발명된 것으로, 본 발명의 목적은 CMP법에 의해 형성된 제 1 금속배선 상의 층간절연막의 표면평탄성을 향상하는 기술을 제공하는 데 있다.

또한, 본 발명의 다른 목적은 CMP법에 의해 형성된 제 1 금속배선 상의 제 2 금속배선의 쇼트불량을 억제하고, 반도체집적회로장치의 수율(원료에 대한 제품의 비율 - 이하 '수율'이라 한다) 및 신뢰성을 향상하는 데 있다.

본 발명의 상기 및 그외의 목적과 신규특징은 본 명세서의 기술 및 첨부도면을 통해 알 수 있을 것이다.

본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

(1) 본 발명의 반도체집적회로장치는 반도체 기판의 주면에 형성된 반도체 소자와, 반도체 소자의 상부에 형성되어 그 일부에 형성된 요철부에 CMP법을 이용하여 형성된 전도성 부재가 매립된 제 1 절연막과, 제 1 절연막의 상면에 형성되어 그 일부에 형성된 요철부에 CMP법을 이용하여 형성된 전도성 부재가 매립된 제 2 절연막을 가지는 반도체집적회로장치로, 제 2 절연막에는 자기유동성을 가지는 유동성 절연막이 포함되는 것을 말한다.

이와 같은 반도체집적회로장치에 의하면 제 1 절연막에 매립된 전도성부재가 CMP법에 의한 연마에 의해 디싱(흠)을 발생하고, 또 제 1 절연막의 표면이 CMP에 의한 연마에 의해 스크래치(흠)을 가지는 것이라도, 제 2 절연막에는 유동성절연막이 포함되기 때문에 그 표면이 평탄화되고 상기 디싱이나 스크래치의 영향은 제 2 절연막의 표면에는 나타나지 않고, 제 2 절연막에 채운 전도성부재의 CMP법에 의한 형성이 확실히 행하여 진다. 즉, 유동성절연막을 형성하지 않는 경우에 발생할 제 2 절연막 표면의 요철부에, 제 2 절연막에 매립된 전도성부재의 잔류물이 형성되지 않고, 상기 잔류물에서 기인하는 제 2 절연막의 전도성부재간의 쇼트불량을 방지할 수 있다. 이 결과, 반도체집적회로장치의 수율과 신뢰성을 향상할 수 있다.

또, 제 2 절연막의 표면에 요철부가 존재하는 경우에는 제 2 절연막의 전도성부재를 형성하기 위한 피막을 과도하게 연마할 필요가 생기나, 본 발명에서는 그와 같은 제 2 절연막 표면의 요철부가 형성되지 않기 때문에 과도한 연마를 필요로 하지 않는다. 이 결과, 제 2 절연막에 매립된 전도성부재의 디싱을 방지하고, 상부에 형성되는 전도성부재의 형성을 상기와 같은 이유에 의해 확실히 형성하고 그 쇼트불량을 방지할 수 있다.

또한, 제 1 또는 제 2 절연막은 그 요철부에 배선이 형성된 배선헬성용 절연막 또는 배선헬간을 절연하는 배선헬간절연막으로 할 수 있고, 요철부는 배선헬성용 절연막에 형성된 배선헬 또는 배선헬간절연막에 형성된 접속공으로 할 수 있고, 전도성부재는 배선헬에 형성된 배선 또는 접속공에 형성된 플러그로 할 수 있다.

또, 유동성절연막은 배선헬성용 절연막의 배선헬에 형성된 배선헬상에 위치하는 배선헬간절연막에만 포함되는 구성, 또는 배선헬간절연막의 접속공에 형성된 플러그상에 위치하는 배선헬성용 절연막에만 포함되는 구성, 또는 배선헬성용 절연막의 배선헬에 형성된 배선헬상에 위치하는 배선헬간절연막 및 배선헬간절연막의 접속공에 형성된 플러그 상에 위치하는 배선헬성용 절연막의 쌍방에 포함되는 구성중 어느하나의 구성으로 하는 것이 가능하다.

또, 요철부는 제 1 및 제 2 절연막의 표면근방에 형성된 배선헬 및 배선헬의 하부에 형성된 접속공으로 이루어지고, 전도성부재는 배선헬에 형성된 배선부와 접속공에 형성된 접속부가 일체적으로 형성된 것으로 할 수 있다. 즉, 접속공부분과 배선헬부분이 일체적으로 형성된 요철부 내에 일체적으로 형성된 배선(소위 듀얼다마신법에 의한 배선)에도 적용할 수 있다.

또, 유동성절연막이 포함되는 제 2 절연막, 배선헬간절연막 또는 배선헬성용 절연막은 자기유동성을 가지지 않는 비유동성절연막, 유동성절연막 및 비유동성절연막의 3층구조를 가지는 것이라도 좋다.

또, 유동성절연막으로서 SOG막을 이용할 수 있다. SOG막으로서 유기SOG막, 무기SOG막 및 폴리시라젠(polysilazane)계의 SOG막을 예시할 수 있으나, 특히 무기SOG막이 아주 적당하다. 가령 유동성절연막으로서 유기SOG막을 이용하면, 그것이 포함되는 제 2 절연막, 배선헬간절연막 또는 배선헬성용 절연막에 포토리소그래피기술을 적용하여 가공을 실시하고, 포토리소그래피의 마스크가 되는 포토레지스트막을 산소아싱(ashing)에 의해 제거할 시에 유기SOG막의 수축이 발생하거나 또는 흡수성이 강해지거나 하여 반도체집적회로장치의 신뢰성에 바람직하지 못한 영향이 발생한다. 그러나, 유동성절연막으로서 무기SOG막을 이용하면 그와 같은 부적합함은 발생하지 않는다.

또, 유동성절연막으로서 기체상태중에서의 시라놀(silanol)의 생성과 저온기판상에서의 시라놀의 반응에 의해 형성되는 실리콘산화막으로 할 수 있다.

SOG막은 대기분위기에서 도포에 의해 형성되는 피막이나, 감압분위기에서 예를 들어 실란가스(silane gas)(SiH_4)와 과산화수소(H_2O_2)와의 화합에 의해 형성되는 시라놀($\text{H}_2\text{Si}(\text{OH})_{4-n}$)을 기판표면에 흡착시켜서 피막으로 하는, 기체상태중에서의 시라놀의 생성과 저온기판상에서의 시라놀의 반응에 의해 실리콘산화막이 형성된다. 이와 같은 실리콘산화막도 유동성절연막으로서 예시할 수 있다. 여기에서는 시라놀형성

의 원료가스로서 실란가스를 예시하고 있으나, 수소기(-H)가 메틸기(-CH₃), 에틸기(-C₂H₅)등의 알킬기로 치환한 메틸실란(디메틸실란, 트리메틸실란 등) 또는 에틸실란(디에틸실란, 트리에틸실란 등)이라도 좋다.

또, 요흡부, 배선홀 또는 접속공의 폭(W)는 그 최대폭(W_{max})와 최소폭(W_{min})과의 범위내에 있으며, W_{max} ≤ 4×W_{min}의 조건을 만족하는 것으로 할 수 있다.

(2) 본 발명 반도체집적회로장치는 반도체기판의 주면에 형성된 반도체소자와 반도체소자의 상부에 형성되어 그 일부에 형성된 요흡부에 CMP법을 이용하여 형성된 전도성부재가 매립된 제 1 절연막과, 제 1 절연막의 상면에 형성되고 그 일부에 형성된 요흡부에 CMP법을 이용하여 형성된 전도성부재가 매립된 제 2 절연막을 가지는 반도체집적회로장치로, 제 2 절연막에는 CMP법에 의해 평탄화된 절연막이 포함되어 있는 것이다.

이와 같은 반도체집적회로장치에 의하면(1)에 기재한 것과 같이 CMP법에 의해 평탄화된 절연막에 의해 제 2 절연막의 표면이 평탄화되고 제 2 절연막에 채워지는 전도성부재의 형성이 확실하게 행하여져서 그 쇼트불량을 방지할 수 있다. 또, 제 2 절연막에 매립된 전도성부재의 과도한 연마를 방지하고, 또한 상부에 형성되는 전도성부재의 형성을 확실하게 행하여 그 쇼트불량을 방지할 수 있고, 이 결과 반도체집적회로장치의 수율과 신뢰성의 향상을 도모할 수 있는 것은 상기(1)과 같다.

또한, 상기(1), (2)기재의 반도체집적회로장치에 있어서, 요흡부 또는 배선홀에 형성된 배선의 상면에는 배선을 구성하는 금속원소의 확산을 방지하는 확산방지막, 예를 들어 플라즈마CVD법에 의해 형성된 실리콘질화막이 형성되어도 좋다. 이로써 배선간의 층간절연막의 절연내압을 확보하고 반도체집적회로장치의 신뢰성을 향상할 수 있다.

(3) 본 발명 반도체집적회로장치의 제조방법은 반도체기판의 주면에 형성된 반도체소자와, 반도체소자의 상부에 형성되어 그 일부에 제 1 전도성부재가 매립된 제 1 절연막과, 제 1 절연막의 상면에 형성되어 그 일부에 제 2 전도성부재가 매립된 제 2 절연막을 가지는 반도체집적회로장치의 제조방법으로, (a)적어도 반도체소자가 형성된 반도체기판상에 제 1 절연막을 퇴적하고 그 일부에 요흡부를 형성하는 공정, (b)요흡부의 내부를 포함하는 제 1 절연막의 표면에 요흡부를 채우는 전도성막을 형성하는 공정, (c)전도성막을 CMP법에 의해 연마하고 제 1 절연막의 요흡부내에만 전도성막을 남겨 제 1 전도성부재를 형성하는 공정, (d)제 1 전도성부재의 상부에 자기유동성을 가지는 유동성절연막을 퇴적하는 공정, (e)유동성절연막을 포함하는 제 2 절연막에 요흡부를 형성하고 그 요흡부를 채우는 전도성막을 형성한 후 그 전도성막을 CMP법에 의해 연마하여 제 2 전도성부재를 형성하는 공정을 포함하는 것이다.

이와 같은 반도체집적회로장치의 제조방법에 의하면 상기(1)기재의 반도체집적회로장치를 제조할 수 있다.

또한, 유동성절연막이 SOG막인 경우는 반도체기판에 SOG막을 도포하여 열처리함으로써 형성할 수 있다.

또, 유동성절연막이 기체상태중에서의 시라놀의 생성과 저온기판상에서의 시라놀의 반응에 의해 형성되는 실리콘산화막인 경우에는 반도체기판을 감압분위기하의 반응실에 100℃이하의 저온으로 보지하고, 반응실내에 SiH₄M_{4-x}(M은 탄소수 1 ~ 3의 알킬기, 1 ≤ x ≤ 4) 및 H₂O₂를 도입하여 시라놀을 생성하고, 시라놀이 퇴적한 반도체기판을 열처리함으로써 형성할 수 있다. 이 경우, 알킬기(-M)의 탄소수가 많아질수록 증기압이 저하한다. 이 때문에 반응실의 측면온도를 높이고 반도체기판의 온도를 가장 낮은 온도로 할 수 있다. 이로써 저온으로 보지한 반도체기판상에서의 알킬실란(SiH₄M_{4-x})의 흡착이 촉진되어 시라놀생성의 반응이 반도체기판의 표면부근에서 생기는 확률이 높아진다. 이 결과, 원료가스의 수율을 높이는 것이 가능해진다. 또, 원료가스는 기상에서 공급하는 것이 바람직하므로 알킬기의 탄소수는 3이하가 바람직하다.

또, 제 1 전도성부재가 형성되는 요흡부의 폭(W)는 그 최대폭(W_{max})가 그 최소폭(W_{min})의 4배이내(W_{min} ≤ W ≤ 4×W_{min})가 되도록 형성할 수 있다.

또, 상기(b)공정에 있어서 제 1 절연막의 요흡부에 매립된 전도성막은 최소폭(W_{min})의 요흡부에서의 그 표고(H1)과 최대폭(W_{max})의 요흡부에서의 그 표고(H2)는 거의 동일하고(H1 ≈ H2), 또한 표고(H1) 및 (H2)는 제 1 절연막의 표면의 표고(L1)보다도 높은(H1 ≈ H2 > L1)것으로 할 수 있다.

이와 같은 반도체집적회로장치의 제조방법에 의하면, (b)공정에서 형성되는 제 1 전도성부재는 제 1 절연막의 요흡부의 전영역에 채워지고, 제 1 전도성부재의 표면 자체가 연마되고, 평탄화되게 된다. 이 점에서 본 발명은 상기 특개평 7-297183호 공보에 기재된 기술과는 상이한 것이다. 즉, 상기 공보에 기재된 기술에 있어서는, 배선홀의 폭이 넓은 영역에서는 전도성막의 표면높이가 배선홀표면의 표고보다도 낮고, 그 때문에 SOG막의 피막에 의해 전도성막을 피복한 후에 이들을 연마하고 배선홀에 배선을 형성하면 배선표면의 요흡부에 SOG막이 잔류하는 것이다. 그러나, 본 발명에서는 제 1 전도성부재를 형성하기 위한 연마를 실시한 후에 SOG등의 유동성절연막을 퇴적하는 것으로, 상기 공보에 기재된 제조방법과는 그 공정의 순서에 있어서 상이하며, 상기와 같이 최소폭(W_{min})의 요흡부에서의 그 표고(H1)과 최대폭(W_{max})의 요흡부에서의 그 표고(H2)가 거의 동일하고(H1 ≈ H2), 또한 표고(H1) 및 (H2)는 제 1 절연막의 표면의 표고(L1)보다도 높은(H1 ≈ H2 > L1)것이므로, 제 1 전도성부재(즉 상기 공보에서의 배선)의 형성공정 자체가 상이한 것이다. 따라서, 이와 같은 상이한 제조방법에 의해 제조된 반도체집적회로장치 자체, 제 1 전도성부재의 표면에 CMP에 의한 요흡부(디싱)이 발생했다하더라도 거기에 SOG막 등의 유동성절연막이 잔류하지 않는 점에서 상기 공보 기재의 기술에 의해 제조된 반도체장치와 상이하다.

또, 상기(c)공정에 있어서 연마된 제 1 전도성부재는 최소폭(W_{min})의 요흡부에서의 제 1 전도성부재 표면의 디싱량(K1)과 최대폭(W_{max})의 요흡부에서의 제 1 전도성부재의 표면의 디싱량(K2)가 거의 동일하다(K1 ≈ K2). 이와 같은 반도체집적회로장치의 제조방법은 상기 H1 ≈ H2의 조건으로부터 귀결되는 조건이다.

또, 유동성절연막의 퇴적 전에 플라즈마CVD법 또는 열CVD법을 이용한 CVD실리콘산화막을 퇴적하고, 그 후 유동성절연막을 퇴적하고, 게다가 CVD산화막을 퇴적함으로써 제 2 절연막을 형성할 수 있다.

도, 제 1 전도성부재의 형성후 제 1 전도성부재의 표면을 덮는 확산방지막, 예를 들어 실리콘질화막을 퇴적할 수 있다.

이와 같은 반도체집적회로장치의 제조방법에 의하면, 제 1 전도성부재를 구성하는 예를 들어 구리 등의 금속원소의 확산을 방지하고 반도체집적회로장치의 신뢰성을 향상할 수 있다.

(4) 본 발명 반도체집적회로장치의 제조방법은 반도체기판의 주면에 형성된 반도체소자와, 반도체소자의 상부에 형성되고 그 일부에 제 1 전도성부재가 매립된 제 1 절연막과, 제 1 절연막의 상면에 형성되고 그 일부에 제 2 전도성부재가 매립된 제 2 절연막을 가지는 반도체집적회로장치의 제조방법으로, (a) 적어도 반도체소자가 형성된 반도체기판상에 제 1 절연막을 퇴적하고 그 일부에 요홈부를 형성하는 공정, (b) 요홈부의 내부를 포함하는 제 1 절연막의 표면에 요홈부를 채우는 전도성막을 형성하는 공정, (c) 전도성막을 CMP법에 의해 연마하고 제 1 절연막의 요홈부 내에만 전도성막을 남기고 제 1 전도성부재를 형성하는 공정, (d) 제 1 전도성부재의 상부에 실리콘산화막을 퇴적하고 실리콘산화막을 CMP법에 의해 연마하고 평탄화하는 공정, (e) 실리콘산화막을 포함하는 제 2 절연막에 요홈부를 형성하고 그 요홈부를 채우는 전도성막을 형성한 후 그 전도성막을 CMP법에 의해 연마하여 제 2 전도성부재를 형성하는 공정을 포함하는 것이다.

이와 같은 반도체집적회로장치의 제조방법에 의하면, 상기(2)에 기재한 반도체집적회로장치를 제조할 수 있다. 또한, 제 2 절연막에 포함되는 실리콘산화막은 CMP법에 의해 평탄화되기 때문에 자기유동성을 가질 필요는 없고, 플라즈마CVD법, TEOS(테트라메톡시실란 : tetramethoxysilane)등을 이용한 CVD법 등에 의해 형성된 것이라도 좋다.

발명의 구성 및 작용

이하 본 발명의 실시예를 도면을 기초로 하여 상세히 설명한다. 또한, 실시예를 설명하기 위한 전도면에 있어서 동일한 부재에는 동일한 부호를 부치고 그 반복설명은 생략한다.

(실시예 1)

도 1 은, 본 발명의 한 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

본 실시예 1의 반도체집적회로장치는, 예를 들어 SOI(Silicon On Insulator) 절연층(2) 및 U 홀소자 분리영역(3)을 가지는 반도체 기판(1)의 p웰(4)에 n채널MISFET(Metal Insulator Semiconductor Field Effect Transistor)(Qn)이 형성된 것이다. SOI절연층(2), U홀소자 분리영역(3)은, 예를 들어 실리콘 산화막으로 구성된다.

n채널 MISFET(Qn)은, 반도체기판(1)의 주면 상에 게이트절연막(6)을 매개로 해서 형성된 게이트전극(7)과, 게이트전극(7)의 양측의 반도체기판(1)의 주면에 형성된 불순물반도체영역(8)을 가지는 것으로, 게이트전극(7)의 측면 및 상면에는 측벽공간(9) 및 캡절연막(10)이 각기 형성되어 있다.

게이트절연막(6)은, 수 nm의 막두께를 가지는 실리콘산화막으로 이루어지며 예를 들어 열CVD법 또는 열산화법에 의해 형성될 수 있다.

게이트전극(7)은, 예를 들어 저 저항 다 결정 실리콘막으로 이루어지며, 그 상층에 실리사이드층 또는 텅스텐 등의 금속층을 형성해서 저 저항화를 도모해도 좋다.

불순물반도체영역(8)은, n채널MISFET(Qn)의 소오스·드레인 영역으로서 기능하는 것으로, 예를 들어 인(P) 또는 비소(As)등의 n형불순물이 고농도로 도입되어 있다.

게이트전극(7) 및 불순물반도체영역(8)의 상부에는, WSi_x, MoSi_x, TiSi_x, TaSi_x 등의 고용합금속 실리사이드막을 적층한 실리사이드막을 형성해도 좋다.

측벽공간(9) 및 캡절연막(10)은, 예를 들어 실리콘산화막 또는 실리콘질화막으로 할 수 있고, 실리콘질화막을 사용하는 경우에는, 그 실리콘질화막으로 이루어진 측벽공간(9) 및 캡절연막(10)을 마스크로서 사용하고, 후술하는 층간절연막에 자기 정합적으로 접속공을 개구할 수 있다.

반도체기판(1) 및 n채널MISFET(Qn)의 상부에는 층간절연막(11a)가 형성되어 있다. 층간절연막(11a)로서 BPSG(Boron-doped Phospho-Silicate Glass) 막 또는 PSG(Phospho-Silicate Glass)막 등의 리플로우(reflow)막을 사용할 수 있으나, 층간절연막(11a)의 하부 혹은 상부에 CVD법 또는 스퍼터링(sputtering)방법에 의해 형성된 실리콘산화막과의 적층막으로도 할 수 있다. 층간절연막(11a)는 퇴적된 후 예를 들어 CMP법에 의해 연마되어 그 표면이 평탄화되어 있다.

불순물반도체영역(8)상의 층간절연막(11a)에는 접속공(12)가 설치되고, 접속공(12)에는, 예를 들어 스퍼터링(sputtering)방법에 의해 형성된 텅스텐막(13a) 및 예를 들어 블랭킷(blanket) CVD법 또는 선택 CVD법에 의해 형성된 텅스텐으로 이루어진 금속플러그(13b)가 형성되어 있다.

층간절연막(11a)의 상층에는 층간절연막(11b)(제 1 층간절연막)이 형성되고, 배선(14)가 층간절연막(11b)에 형성된 배선홀(15)내에 형성되어 있다.

층간절연막(11b)는 예를 들어 CVD법 또는 스퍼터링 방법으로 형성된 실리콘산화막으로 구성된다. 또한, 층간절연막(11b)의 표면에는 스크래치(11c)(홀)이 형성되어 있다. 이것은 후술하는 바와 같이, 배선(14)의 형성 시에 행하여지는 CMP법에 의한 연마에서, 확실히 층간절연막(11b) 표면의 금속막이 제거되도록 어느 정도의 오버 연마를 행하도록 형성된 것으로, CMP의 연마제에 의해 긁힌 홀이다.

배선(14)는 주전도층(14a)과 질화티타늄막(14b)로 이루어진다. 주전도층(14a)은 예를 들어 구리로 구성되지만, 이것뿐만이 아니라 알루미늄 또는 텅스텐 또는 이들의 합금이라도 좋다. 이들 저 저항률이 낮은 재료를 주된 전도층으로 함으로써 배선(14)의 미세화에 따른 배선저항의 상승을 억제할 수 있다. 이로써 반도체집적회로장치의 고성능화를 달성할 수 있다. 질화티타늄막(14b)은 주전도층(14a)을 구성하는 재료

예를 들어 구리의 확산을 방지하는 브로킹 막으로 작용시킬 수 있고, 질화티타늄(Tin)막 이외에, 예를 들어 탄탈(Ta)막, 질화 탄탈(TaN)막, 질화 텅스텐(WN)막, 스퍼터(sputter) 텅스텐막, 또는 이들의 실리콘(Si)과의 화합물로도 할 수 있다.

배선(14)의 상면에는 디싱(14c)(홀)이 형성되어 있다. 이것은, 배선(14)의 형성이 후술하는 바와 같이 CMP법에 의한 연마에 의해 형성되어, 배선(14)을 구성하는 금속재료와 층간절연막(11b)을 구성하는 실리콘산화막과의 CMP에 의한 연마속도의 상이에 의해 발생하는 것이다. 즉, 금속이 실리콘산화막과 비교해서 CMP 연마속도가 크고 배선(14)을 확실하게 형성하기 위해 어느 정도의 오버 연마를 행한 경우에는 실리콘산화막과 비교해서 금속이 빨리 연마되어 상대적으로 함몰한 표면을 형성하게 된다.

배선(14) 및 층간절연막(11b)의 상면에는 층간절연막(16)이 형성되어 있다. 층간절연막(16)은 배선(14) 및 층간절연막(11b)에 접해 형성된 브로킹층(16a), 평탄화층(16b) 및 절연막(16c)로 구성된다.

브로킹층(16a)는, 예를 들어 플라즈마 CVD법에 의해 형성된 실리콘 질화(SiN)막으로 할 수 있고, 배선(14)의 주전도층(14a)을 구성하는 구리의 확산을 억제하는 기능을 가진다. 이로써 질화 티타늄막(14b)의 효과와 함께 층간절연막(11a), (11b), (16)으로의 구리 확산을 방지하여 그것들의 절연성을 보지하고, 반도체집적회로장치의 신뢰성을 높일 수가 있다. 또한, 브로킹 막(16a)의 막 두께는 실리콘질화막을 사용한 경우에는 약 100nm로 할 수 있다.

평탄화층(16b)는 자기유동성을 가지는 피막 예를 들어 SOG(Spin On Glass)막으로 이루어지고, 스크래치(11c) 및 디싱(14c)의 영향을 제거하여 그 표면을 평탄화할 수 있다. 이와 같이 평탄화층(16b)를 가짐으로써 층간절연막(16)의 표면의 평탄성을 확보할 수 있고, 후술하는 바와 같이 층간절연막(16)에 채워 넣은 제 2 층 배선의 형성 시에 금속막의 잔류물의 형성을 방지하여 제 2 층 배선의 쇼트불량을 방지하고, 반도체집적회로장치의 수율과 신뢰성을 향상할 수 있다.

절연막(16c)는 예를 들어 CVD법에 의해 형성된 실리콘 산화(SiO₂)막으로 할 수 있고, 층간절연막(16)의 막두께를 확보하는 기능을 가진다. 따라서, 평탄화층(16b)에 의해 층간절연막(16)의 충분한 막두께를 확보할 수 있는 경우에는 필수적이지는 않다.

층간절연막(16)에는 배선홀(17)이 형성되고 배선홀(17)내에는 제 2 금속배선인 배선(18)이 형성되어 있다. 또, 배선홀(17)의 일부는 그 하부에 형성되어 있는 배선(14)에 접속하기 위한 접속공도 포함된다. 즉, 배선홀과 접속공을 형성하고, 그 배선홀 및 접속공 내를 포함하는 기판에 금속막을 퇴적하고, 예를 들어 CMP법에 의해 배선홀 이외의 영역의 금속막을 제거하여 접속배선 및 배선을 하나로 형성하는 소위 듀얼 다마신(dual damascene)법으로 형성되어 있다.

배선(18)은 배선(14)와 같이 주전도층(18a)과 질화 티타늄 막(18b)로 이루어진다. 주전도층(18a)은 예를 들어 구리를 예시할 수 있으나, 알루미늄, 텅스텐 또는 그것들의 합금이라도 좋다. 이들 저 저항률이 낮은 재료를 주전도층으로 함으로써 배선(18)의 미세화에 따른 배선저항의 상승을 억제할 수 있다. 이로써 반도체집적회로장치의 고성능화를 달성할 수 있다. 질화 티타늄막(18b)은 주전도층(18a)을 구성하는 재료 예를 들어 구리의 확산을 방지하는 브로킹막으로서 작용하게 할 수 있고, 질화티타늄막 이외, 예를 들어 탄탈막, 질화 탄탈막, 스퍼터 텅스텐막, 또는 이들의 실리콘화합물로도 할 수 있다.

또, 배선(18)은 후술하는 바와 같이 CMP법을 사용한 연마에 의해 층간절연막(16)상에 형성된 금속막을 제거하여 형성되나, 층간절연막(16)의 표면의 평탄성은 상기와 같이 확보되어 있으므로, 그 표면에는 배선홀(17)이외의 요철부는 존재하지 않고, 따라서 배선(18)이외의 금속막의 잔류물이 형성되지 않는다. 이 때문에 금속 잔류물에서 기인하는 배선(18)의 쇼트불량은 발생하지 않고, 반도체집적회로장치의 수율과 신뢰성의 향상을 도모할 수 있다. 또한, 층간절연막(16)의 표면이 충분히 평탄하기 때문에 배선(18)을 형성하기 위한 CMP에 의한 연마에 있어서 과도한 오버 연마는 필요없다. 이 결과, 배선(18)의 디싱을 억제하고 게다가 다층인 배선(제 3 금속배선 등)을 형성한 경우의 상층 배선의 쇼트불량을 방지하여, 반도체집적회로장치의 수율과 신뢰성을 향상시킬 수 있다.

배선(18)상에 층간절연막(16) 및 배선(18)과 같은 층간절연막 및 배선을 형성하고, 또한 다층으로 구성해도 좋다. 이 경우, 평탄화층(16b)와 같은 평탄화층을 설치하여 상층 배선의 가공을 확실하게 행할 수 있는 것은 배선(18)의 경우와 같다.

다음은, 상기한 반도체집적회로장치의 제조방법을 도면에 따라 설명한다. 도 2 ~ 도 15는 본 발명의 한 실시예인 반도체집적회로장치의 제조방법의 실시예를 공정 순으로 도시한 단면도이다.

먼저, 고농도 산화 주입법 등에 의해 형성된 SOI절연층(2)를 가지는 p-형의 단결정 실리콘으로 이루어지는 반도체기판(1)을 준비하고, p형 전도형으로 하기 위한 불순물 예를 들어 보론(boron)을 이온주입 등에 의해 도우프(dope)해서 p웰(4)을 형성한다. p웰(4)은 고농도 산화 주입법에서의 에피택셜(epitaxial) 성장 시에 불순물가스를 혼입하여 도우핑을 행하여도 좋다.

다음, 반도체기판(1)의 주면에 SOI절연층(2)에 달하는 U홀을 형성하여, 그 후 예를 들어 실리콘산화막을 퇴적한 후 CMP 법 등을 이용하여 여분의 실리콘산화막을 제거하고 상기 U홀에 실리콘산화막을 채워 넣어 U홀소자 분리영역(3)을 형성한다 (도 2).

다음, 반도체기판(1)의 주면 상에 게이트절연막(6)을 이루는 실리콘산화막, 게이트전극(7)을 이루는 다결정 실리콘 및 캡절연막(10)을 이루는 실리콘산화막을 순차적으로 퇴적하여 적층막을 형성하고, 포토리소그라피에 의해 패턴닝된 레지스트를 마스크로 해서 상기 퇴적막을 에칭하여, 게이트절연막(6), 게이트전극(7) 및 캡절연막(10)을 형성한다 (도 3). 게이트 절연막(6)은 예를 들어 열CVD법에 의해 퇴적할 수 있고, 게이트 전극(7)은 CVD법에 의해 형성할 수 있으나, 그 저항값을 저감시키기 위해 n형의 불순물(예를 들어 P)를 도우프해도 좋다. 또한, 게이트전극(7)의 상부에 WSi_x, MoSi_x, TiSi_x, TaSi_x 등의 고용점금속 실리사이드막을 퇴적하여도 좋다. 캡절연막(10)은 예를 들어 CVD법에 의해 퇴적할 수 있다.

이어, 반도체기판(1)상에 CVD법으로 산화실리콘막을 퇴적한 후, 반응성 이온 에칭(RIE)법으로 이 산화실리콘막을 이방성(異方性)에칭함으로써 게이트전극(7)의 측벽에 측벽공간(9)을 형성하여, n형불순물(인)

을 이온주입하여 게이트전극(7)의 양측의 p웰(4)에 n 채널 MISFET(Qn)의 소오스·드레인 영역을 구성하는 불순물 반도체 영역(8)을 형성한다 (도 4). 또한, 측벽공간(9)의 형성 전에 저농도의 불순물 반도체 영역을 형성하고, 측벽공간(9) 형성 후에 고농도의 불순물 반도체 영역을 형성해도 좋다.

이어, 반도체기판(1)상에 스퍼터법 혹은 CVD법으로 산화 실리콘 막을 퇴적한 후 예를 들어 산화 실리콘 막을 CMP법으로 연마함으로써 그 표면이 평탄화된 층간절연막(11a)을 형성한다. 게다가, 반도체기판(1)의 주면의 불순물 반도체 영역(8)상의 층간절연막(11a)에 포토리소그래피 기술을 사용하여 접속공(12)을 개구한다 (도 5).

이어, 스퍼터법에 의해 텅스 막(13a)을 퇴적하고, 게다가 불량택 CVD법에 의해 텅스텐막(13c)을 퇴적한다 (도 6).

이어, 접속공(12)이외의 층간절연막(11a)상의 텅스텐막(13c) 및 텅스텐막(13a)을 예를 들어 에치백(etch back)법에 의해 제거하여 금속플러그(13b)를 형성한다 (도 7).

이어, 스퍼터법 또는 CVD법으로 산화실리콘막을 퇴적하여 층간절연막(11b)을 형성하고, 포토리소그래피 기술 및 에칭기술을 이용하여 가공해서 배선홀(15)을 형성한다 (도 8). 또, 여기서는 층간절연막으로서 스퍼터법 혹은 CVD법으로 형성된 실리콘산화막을 예시하고 있으나, SOG 등의 도포막, 유기막, 불소를 첨가한 CVD 실리콘산화막, 실리콘질화막, 그외 다수 종의 절연막을 적용한 다층막이라도 좋다. 또한, 배선홀(15)은 후에 배선재료를 매립하여 배선(14)로 하고자 하는 영역에 형성된다. 그리고, 본 실시예 1에서는 금속플러그(13)를 형성한 후에 배선홀(15)을 형성하고 있으나, 접속공(12)을 개구한 후에 배선홀(15)을 형성하고, 그 후에 금속플러그(13)를 형성해도 좋다.

이어, 반도체기판(1)의 전면에 배선(14)의 질화티타늄막(14b)이 되는 질화 티타늄막(14b)을 퇴적한다 (도 9). 질화티타늄막(14b)은 예를 들어 CVD법 혹은 스퍼터법에 의해 퇴적할 수 있다. 질화티타늄막(14b)의 퇴적은 후술하는 구리막의 밀착성향상 및 구리의 확산방지를 위해 행하는 것이다. 또한, 본 실시예 1에서는 질화티타늄을 예시하지만, 탄탈 등의 금속막 또는 질화탄탈막 등이어도 좋다. 또, 다음 공정인 주전도층(14a)의 퇴적 직전에 질화티타늄막(14b)의 표면을 스퍼터(sputter)에칭하는 것도 가능하다. 이와 같은 스퍼터 에칭에 의해 질화티타늄막(14b)의 표면에 흡착한 물, 산소분자 등을 제거하고, 주전도층(14a)의 접착성을 개선할 수 있다. 특히, 질화티타늄막(14b)의 퇴적 후, 진공 파괴하여 표면을 대기에 접하게 하고 그 주전도층(14a)을 퇴적하는 경우에 효과가 크다.

이어, 주전도층(14a)이 되는 금속 예를 들어 구리의 박막을 퇴적하고, 이것을 열처리하고 유동화해서, 배선홀(15)에 양호하게 매립된 금속막(19)을 형성한다 (도 10). 구리막의 퇴적은 통상의 스퍼터법을 이용할 수 있지만, 증착법 등의 물리적 기상(氣相) 성장법을 이용해도 좋다. 또한, 열처리의 조건은 금속막(19)을 구성하는 구리가 유동화하는 온도 및 시간을 필요로 하며, 예를 들어 350℃ ~ 400℃, 3분 ~ 5분을 예시할 수 있다.

이어, 층간절연막(11b)상의 여분의 질화티타늄막(14b) 및 금속막(19)을 제거하여 배선(14)을 구성하는 주전도층(14a) 및 질화티타늄막(14b)을 형성한다 (도 11). 질화티타늄막(14b) 및 금속막(19)의 제거는 CMP법을 이용한 연마에 의해 행한다. 배선(14)의 형성에 CMP법을 이용하기 때문에 배선(14)의 표면은 층간절연막(11b)의 표면에 비해 항울한 상태인 디싱(14c)이 형성되고, 또한 층간절연막(11b)의 표면에는 CMP의 연마제 등에 의해 굽힌 홈인 스크래치(11c)가 형성된다.

이어, 배선(14) 및 층간절연막(11b)상에 실리콘질화막을 퇴적하여 브로킹층(16a)을 형성한다 (도 12). 실리콘질화막의 퇴적에는 예를 들어 플라즈마 CVD법을 이용할 수 있다. 막두께는 약 100nm로 한다.

이어, 자기유동성을 가진 피막인 SOG막을 도포하고, 게다가 400℃ 정도의 열처리를 행하고 경화하여, 그 표면이 평탄화된 평탄화층(16b)을 형성한다 (도 13). SOG막으로서는 유기 또는 무기 SOG막을 이용할 수 있다. 또한, 폴리시라젠계의 SOG막을 이용하는 것도 가능하다. 폴리시라젠계의 SOG막의 경우에는 내열성을 가지며, 반도체집적회로장치의 신뢰성을 향상할 수 있다.

이어, 절연막(16c)을 퇴적하여 층간절연막(16)을 완성한다. 절연막(16c)은 예를 들어 CVD법에 의한 실리콘산화막으로 할 수 있다. 절연막(16c)의 표면 즉 층간절연막(16)의 표면은 평탄화층(16b)의 존재에 의해 평탄성이 확보되어 있다. 그 후 배선홀(17)을 형성한다 (도 14). 배선홀(17)에는 하층 배선인 배선(14)와 접속하기 위한 접속공도 포함되어 있다.

이어, 배선(14)의 경우와 같이, 배선(18)의 일부가 되는 질화티타늄막(18b)을 퇴적하고, 게다가 주전도층(18a)이 되는 금속 예를 들어 구리의 박막을 퇴적하고, 이것을 열처리하여 유동화해서, 배선홀(17)에 양호하게 매립된 금속막(20)을 형성한다 (도 15). 질화티타늄막(18b) 및 금속막(20)에 있어서는 상기한 질화티타늄막(14b) 및 금속막(19)과 같이 때문에 설명을 생략한다.

마지막으로, 층간절연막(16)상의 금속막(20) 및 질화 티타늄막(18b)을 제거하고 배선(18)을 형성하여, 도 1에서 도시한 반도체집적회로장치가 거의 완성된다. 이 금속막(20) 및 질화티타늄막(18b)의 제거에는 CMP법이 사용된다. 본 실시예에서는 층간절연막(16)의 표면의 평탄성이 확보되어 있기 때문에, 배선(18)의 형성을 위해 CMP를 행하여도 층간절연막(16)의 표면에는 의도하지 않은 요철부가 존재하지 않기 때문에, 의도하지 않은 금속막(20) 또는 질화티타늄막(18b)의 잔류물이 생기는 일은 없다. 이 때문에, 이와 같은 잔류물에서 기인하는 배선(18)의 쇼트불량 발생이 방지되고, 반도체집적회로장치의 수율과 신뢰성의 향상을 도모할 수 있다.

또, 층간절연막(16) 표면의 평탄성이 확보되어 있기 때문에, 과도한 CMP의 오버 연마를 행하지 않아도 배선(18)의 형성을 확실히 행할 수 있어, 과도 연마를 방지할 수 있다. 이 때문에 배선(18) 표면의 디싱을 억제하고 그 상층에 형성된 배선의 쇼트불량을 방지하여, 반도체집적회로장치의 수율과 신뢰성을 향상시킬 수 있다.

또한, 본 실시예 1에서는 평탄화층(16b)로서 SOG막을 예시했지만, 기체상태중에서의 시라놀($H_nSi(OH)_{4-n}$)의 생성과 저온기판 상에서의 시라놀의 반응에 의해 형성되는 실리콘산화막으로도 할 수 있다. 이와 같

은 실리콘산화막은, 저압 분위기에서 예를 들어 실란(silane)가스(SiH_4)와 과산화수소(H_2O_2)의 화합에 의해 시라놀을 형성하여, 이것을 기판표면에 흡착, 반응시켜 피막한 후, 450°C 이하의 열처리를 행하여 경화함으로써 형성할 수 있다. 이와 같은 시라놀의 흡착, 반응에 의해 퇴적한 피막은 자기유동성을 가지는 것으로, 상기한 SOG막과 같이 층간절연막(16) 표면의 평탄성을 확보할 수 있다.

또한, 시라놀형성의 원료가스로서, 실란가스 외에 수소기(-H)가 메틸기(- CH_3), 에틸기(- C_2H_5) 등의 알킬(alkyl)기로 치환한 메틸실란(디메틸실란, 트리메틸실란 등) 또는 에틸실란(디에틸실란, 트리에틸실란 등) 등의 알킬실란($\text{SiH}_x\text{M}_{4-x}$ (단 M은 탄소수 1~3의 알킬기, $1 \leq x \leq 4$))를 예시할 수 있다. 알킬기의 탄소 수를 3이하로 하는 것은, 저온으로 보지한 반도체기판 상으로의 알킬실란($\text{SiH}_x\text{M}_{4-x}$)의 흡착이 증대함으로써 시라놀생성 반응의 촉진과 원료가스를 기체상태에서 공급하는 것의 편리성을 고려하기 위함이다.

(실시예 2)

도 16은 본 발명의 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

본 실시예 2의 반도체집적회로장치는 실시예 1에서 반도체집적회로장치의 층간절연막(16)을 층간절연막(21)로 치환한 것으로, 그 외의 부재는 실시예 1과 같다. 따라서 그들과 같은 부재에 대한 설명은 생략한다.

층간절연막(21)은 실시예 1에서의 브로킹층(16a)와 같은 브로킹층(21a) 및 CVD법에 의해 퇴적되어 CMP법에 의해 평탄화된 실리콘산화막(21b)로 이루어진다. 브로킹층(21a)은 실시예 1의 브로킹층(16a)와 같이 약 100nm의 막두께를 가지는 실리콘질화막으로 이루어진다. 실리콘산화막(21b)은 그 자체가 충분한 막두께를 가지는 것이기 때문에 실시예 1의 층간절연막(16)과 같이 절연막(16c)는 형성되어 있지 않다. 그러나, 실리콘산화막(21b)의 막두께를 얇게 하여, 실시예 1과 같이 절연막(16c)에 상당하는 절연막을 형성하여 충분한 막두께의 층간절연막(21)을 형성하여도 좋다.

이어, 상기한 반도체집적회로장치의 제조방법을 도면에 따라 설명하겠다. 도 17 ~ 도 20은, 본 발명의 다른 실시예인 반도체집적회로장치의 제조방법의 실시예를 그 공정 순으로 도시한 단면도이다.

본 실시예 2의 반도체집적회로장치의 제조방법은, 실시예 1에서의 도 11 공정까지는 동일하다.

그 후, 실시예 1의 브로킹층(16a)와 같이 실리콘질화막을 퇴적하여 브로킹층(21a)을 형성한다. 게다가 충분한 막두께를 가지는 실리콘산화막(22)을 예를 들어 CVD법에 의해 형성한다(도 17). 여기서, CVD법에 의해 형성된 실리콘산화막(22)은, 자기유동성을 가지는 막이 아니므로 그 표면에는 디싱(14c) 및 스크래치(11c)에서 기인하는 요철부(23)이 형성되어 있다.

이어, 실리콘산화막(22)을 CMP법에 의해 연마한다(도 18). 이에 따라, 실리콘산화막(22)의 표면에 형성된 요철부(23)을 소실시켜 실리콘산화막(21b)을 형성하고, 그 표면이 평탄한 층간절연막(21)을 형성한다. 또, 본 실시예 2의 제조방법에서는 CMP법을 이용하기 때문에 요철부(23)을 소실시킬 수 있음과 더불어, 반도체기판(1) 전체에서 평탄성을 향상할 수 있다.

이어, 실시예 1과 같이, 층간절연막(21)에 배선홀(17)을 형성하고(도 19), 실시예 1과 같이 질화티타늄막(18b) 및 주전도층(18a)로 이루어지는 금속막(20)을 형성한다(도 20).

마지막으로, 층간절연막(21)상의 금속막(20) 및 질화티타늄막(18b)을 제거하여 배선(18)을 형성하고, 도 16에서 도시한 반도체집적회로장치가 거의 완성된다. 이 금속막(20) 및 질화티타늄막(18b)의 제거에는 실시예 1과 같이 CMP법이 사용된다. 본 실시예에서는 층간절연막(21)의 표면의 평탄성이 확보되어 있으므로, 배선(18)의 형성을 위해 CMP를 행해도 층간절연막(21)의 표면에 의도하지 않은 금속막(20) 또는 질화티타늄막(18b)의 잔류물이 생기는 일이 없다. 이 때문에, 이와 같은 잔류물에서 기인하는 배선(18)의 쇼트불량의 발생이 방지되고, 반도체집적회로장치의 수율과 신뢰성의 향상을 도모할 수 있다.

또, 층간절연막(21) 표면의 평탄성이 확보되어 있으므로, 과도한 CMP의 오버 연마를 행하지 않고도 배선(18)의 형성을 확실히 행할 수 있고 과도 연마를 방지할 수 있다. 이 때문에, 배선(18) 표면의 디싱을 억제하고 그 상층에 형성된 배선의 쇼트불량을 방지하여 반도체집적회로장치의 수율과 신뢰성을 향상할 수 있다.

(실시예 3)

도 21은 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

본 실시예 3의 반도체집적회로장치는 반도체기판(101)상에 형성된 n채널 MISFET(Qn) 및 p채널MISFET(Qp)를 가진다. 반도체소자인 n채널MISFET(Qn) 및 p채널MISFET(Qp)는 CMISFET(Complimentary-MISFET)를 구성하여 반도체집적회로를 구성할 수 있고, 반도체집적회로에는, 도시하지는 않았으나, 저항, 콘덴서 등의 수동소자를 포함할 수 있다. 또한, 본 실시예에서는 CMISFET를 예시하고 있으나, n채널 MISFET(Qn) 또는 p채널MISFET(Qp)의 단일채널인 MISFET로 반도체집적회로를 구성해도 좋다. 게다가, 본 실시예에서는 MISFET를 예시하고 있으나, 바이폴라(bipolar) 트랜지스터 또는 Bi-CMISFET 등 다른 트랜지스터 구조의 반도체 소자를 이용하여 반도체집적회로를 구성해도 좋다.

반도체기판(101)에는 그 주면 근방에 소자분리영역(102)가 형성되고, 소자 분리영역(102)로 둘러싸인 활성영역에는, p형 불순물(예를 들어 보론(B))이 저농도로 도입된 p형 웰(103) 및 n형 불순물(예를 들어 인(P), 비소(As))이 저농도로 도입된 n형 웰(104)이 형성되어 있다. n채널MISFET(Qn)은 p형 웰(103)의 활성영역 주면에, p채널MISFET(Qp)는 n형 웰(104)의 활성영역 주면에 형성되어 있다. 소자 분리영역(102)는 반도체기판(101)의 주면의 양을 홈 내에 형성되고, 예를 들어 실리콘산화막으로 이루어진다. 또한, 반도체기판(101)을 실시예 1에서 설명한 것과 같은 SOI기판으로 해도 좋은 것은 물론이다.

n채널MISFET(Qn)은 p형 웰(103)의 주면상에 게이트절연막(105)을 매개로 해서 형성된 게이트전극(106)

과, 게이트전극(106)의 양측의 반도체기판(101)의 주면에 형성된 n형의 반도체영역(107)을 가지는 것이다. 또, p채널MISFET(Qn)은 n형 웰(104)의 주면상에서 게이트절연막(105)을 매개로 해서 형성된 게이트전극(106)과, 게이트전극(106) 양측의 반도체기판(101) 주면에 형성된 p형의 반도체영역(108)을 가지는 것이다.

게이트절연막(105)은 수 nm의 막두께를 가지는 실리콘산화막으로 이루어지며, 예를 들어 열산화법 또는 열CVD법에 의해 형성할 수 있다. 게이트전극(106)은 예를 들어 저 저항 다 결정 실리콘 막으로 이루어지며, 그 상층에 텅스텐(W), 코발트(Co) 등의 실리사이드층, 혹은 질화티타늄(TiN), 질화텅스텐(WN) 등의 배리어 메탈(barrier metal)을 매개로 한 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta) 등의 금속층을 형성하여 저 저항화를 도모해도 좋다.

반도체영역(107), (108)은 n채널MISFET(Qn), p채널MISFET(Qp)의 소스·드레인 영역으로서 기능하는 것이다. 반도체영역(107)에는 n형 불순물(예를 들어 인 또는 비소)이 도입되고, 반도체영역(108)에는 p형 불순물(예를 들어 붕소)이 도입되어 있다. 반도체영역(107), (108)은, 불순물이 저농도로 도입된 저농도 반도체영역과, 불순물이 고농도로 도입된 고농도 반도체영역으로 이루어지는 소위 LDD(Lightly Doped Drain)구조로 해도 좋다. 또, 반도체영역(107), (108)의 상부에 WSi_x , $MoSi_x$, $TiSi_x$, $TaSi_x$ 등의 고용층금속 실리사이드막을 적층한 실리사이드막을 형성해도 좋다.

게이트전극(106)의 측면 및 상면에는 측벽공간(109) 및 캡절연막(110)이 각각 형성되어 있다. 측벽공간(109) 및 캡절연막(110)은, 예를 들어 실리콘산화막 또는 실리콘질화막으로 할 수 있고, 실리콘 질화막을 이용하는 경우에는 그 실리콘질화막으로 이루어지는 측벽공간(109) 및 캡절연막(110)을 마스크로서 이용하고, 후술하는 층간절연막에 자기 정합적으로 접속공을 개구할 수 있다.

반도체기판(101), n채널 MISFET(Qn) 및 p채널 MISFET(Qp)의 상부에는 층간절연막(111)이 형성되어 있다. 층간절연막(111)로서, BPSG 막 또는 PSG 막 등의 리플로우막을 이용할 수 있으나, 층간절연막(111)의 하부 또는 상부에 CVD 법 또는 스퍼터법에 의해 형성된 실리콘산화막과의 적층막으로도 할 수 있다. 층간절연막(111)은 예를 들어 CMP법에 의해 그 표면이 평탄화되어 있다.

반도체영역(107), (108) 상의 층간절연막(111)에는 접속공(112)이 설치되고, 접속공(112)에는, 예를 들어 스퍼터법에 의해 형성된 텅스텐막(113a), 및 예를 들어 블랑켓 CVD법 또는 선택 CVD법에 의해 형성된 텅스텐막(113b)로 이루어지는 플러그(113)이 형성되어 있다.

층간절연막(111)의 상층에는 제 1 층 배선(M1)이 형성되어 있다. 제 1 층 배선(M1)에는 예를 들어 포토 리소그래피 기술로 패터닝된 텅스텐막을 이용할 수 있다. 제 1 층 배선(M1)은 플러그(113)를 매개로 해서 반도체영역(107), (108)에 전기적으로 접속된다. 또한, 제 1 층 배선(M1)에 텅스텐 재료를 이용하기 때문에, 제 1 층 배선(M1)을 구성하는 원소의 반도체기판으로의 확산 문제가 없고, 높은 신뢰성의 반도체 집적회로장치를 구성할 수 있다.

제 1 층 배선(M1) 및 층간절연막(111)의 상층에는, 제 1 층 배선(M1)과 후술하는 제 2 층 배선(M2)와의 층간을 절연하는 배선층간절연막(114)이 형성되어 있다. 배선층간절연막(114)은, 예를 들어 CVD법으로 형성된 실리콘산화막을 CMP법에 의해 연마함으로써, 그 표면이 평탄화되어 구성된다. 배선층간절연막(114)에는 접속공(115)이 형성되고, 접속공(115)에는, 예를 들어 스퍼터법에 의해 형성된 텅스텐막(116a), 및 예를 들어 블랑켓 CVD법 또는 선택 CVD법에 의해 형성된 텅스텐막(116b)로 이루어지는 플러그(116)이 형성되어 있다. 또한, 텅스텐막(116b)을 대신해서 스퍼터법 또는 CVD 법으로 형성된 질화티타늄막을 이용할 수 있다.

배선층간절연막(114)상에는, 제 2 층 배선(M2)을 형성하기 위한 배선 형성용 절연막(117)이 형성되어 있다. 배선 형성용 절연막(117)은, 예를 들어 CVD법으로 형성된 실리콘산화막으로 할 수 있다. 또한, 배선 형성용 절연막(117) 표면에는 스크래치에 의한 흠이 형성되나, 도시는 것은 생략하고 있다. 이것은, 후술하는 바와 같이, 제 2 층 배선(M2)의 형성 시 행하여지는 CMP법에 의한 연마에 있어서, 배선 형성용 절연막(117) 표면의 금속막이 확실하게 제거되도록 어느 정도의 오버 연마를 행하기 위해 형성된 것으로, CMP의 연마제에 의해 긁힌 흠이다.

배선 형성용 절연막(117)에는, 배선층(118)이 형성되고, 배선층(118)에는, 제 2 층 배선(M2)이 형성되어 있다. 제 2 층 배선(M2)은 예를 들어 질화 티타늄(TiN)으로 이루어지는 배리어층(119a)과 예를 들어 구리(Cu)로 이루어지는 주전도층(119b)로 이루어진다. 이와 같이 주전도층(119b)를 저항률이 작은 구리 등의 재료를 이용하기 때문에, 제 2 층 배선(M2)의 저항값을 저감할 수 있고, 반도체 소자 간의 배선저항을 저감하여 회로의 지연시간을 단축하고, 반도체 집적회로장치의 응답속도를 향상하여 반도체 집적회로장치의 성능을 향상할 수 있다.

또한, 배리어층(119a)으로서는 질화티타늄을 대신해 탄탈(Ta), 질화텅스텐(WN), 질화탄탈(TaN), 산화탄탈(TaO), 산질화 실리콘($SiON$)을 이용할 수 있다. 또한, 주전도층(119b)에는 구리를 대신해 알루미늄(Al), 텅스텐(W)을 이용할 수 있다. 배리어층(119a)은, 주전도층(119b)를 구성하는 금속 원소의 확산을 방지하고 배선 간의 절연성을 확보하여, 반도체 집적회로장치의 성능 및 신뢰성을 높게 유지하는 기능을 가진다.

또, 제 2 층 배선(M2)은, 후술하는 바와 같이 CMP법을 이용하여 형성되는 것이지만, 배선 형성용 절연막(117)을 구성하는 재료(예를 들어 실리콘산화막)과 제 2 층 배선(M2)을 구성하는 재료(예를 들어 구리 및 질화 티타늄)과의 CMP법에 의한 연마속도의 상이에서 기인하며, 그 표면에 함몰한 형상의 요철부(디싱 부)(120)이 형성되어 있다. 즉, 제 2 층 배선(M2)을 확실하게 형성하기 위해서 어느 정도의 오버 연마를 행한 경우에도, 실리콘산화막과 비교하여 구리등이 빨리 연마되어, 상대적으로 함몰한 표면을 형성하게 된다. 이와 같은 요철부(120)의 존재와, 이것에서 기인하는 문제점은 상기한 바와 같다.

배선 형성용 절연막(117) 및 제 2 층 배선(M2)의 표면에는, 배선층간절연막(121)이 형성되어 있다. 배선층간절연막(121)은, 제 2 층 배선(M2) 및 배선 형성용 절연막(117)에 접하여 형성된 브로킹층(121a), 평탄화 층(121b) 및 절연막(121c)로 구성된다.

브로킹층(121a)는, 예를 들어 플라즈마 CVD법에 의해 형성된 실리콘질화막으로 할 수 있고, 제 2 층 배선(M2)의 주전도층(119b)을 구성하는 구리의 확산을 억제하는 기능을 가진다. 이에 따라 질화 티타늄으로 이루어지는 배리어층(119a)의 효과와 함께 구리의 확산을 방지하고 배선층간절연막(114), 배선형성용 절연막(117), 배선층간절연막(121) 등의 절연성을 보지하여, 반도체집적회로장치의 신뢰성을 높일 수가 있다. 또한, 브로킹층(121a)의 막두께는 실리콘질화막을 이용한 경우에는 약 100 nm로 할 수 있다. 또, 브로킹층(121a)로서는 실리콘질화막을 대신하여 실리콘 산질화막을 이용할 수도 있다.

평탄화층(121b)는 자기유동성을 가지는 피막 예를 들어 SOG막으로 이루어지며, 요철부(120)의 영향을 제거하여 그 표면을 평탄화할 수 있다. 이와 같이 평탄화 층(121b)를 가짐으로써 배선층간절연막(121) 표면의 평탄성을 확보할 수 있으며, 후술하는 바와 같이 배선층간절연막(121)에 매립한 플러그 또는 상층 배선 형성 시에 금속막의 잔류물 형성을 방지하고 상층배선 간의 쇼트불량을 방지하고, 반도체집적회로장치의 소정의 성능을 확보하여, 수율과 신뢰성을 향상할 수 있다.

또한, 평탄화층(121b)는 무기 SOG막으로 할 수 있다. 이로써, 후술하는 평탄화층(121b)로의 점속공개구 공정에서 포토레지스트(photo resist)막의 박리 시에 평탄화층(121b)로의 흡수성(吸水性) 부여 또는 평탄화층(121b)의 체적 감소가 발생하지 않고, 반도체집적회로장치의 신뢰성을 향상할 수 있다. 한편, 평탄화층(121b)는 유기 SOG막으로도 할 수 있다. 이로써, 점속공의 개구공정에서 상기 부적합함은 있으나, 유기 SOG막의 저 유전율(誘電率)을 이용하여 배선간의 선간 용량을 저감하고, 반도체집적회로장치의 고속화를 도모하여 그 성능을 향상할 수 있다.

절연막(121c)는 예를 들어 CVD법에 의해 형성된 실리콘산화막으로 할 수 있고, 배선층간절연막(121)의 막두께를 확보하는 기능을 가진다. 따라서, 평탄화층(121b)에 의해 배선층간절연막(121)의 충분한 막두께를 확보할 수 있는 경우에는 필수적이지는 않다.

또한, 배선층간절연막(121)에는 브로킹층(121a)와 평탄화층(121b)와의 사이에 CVD법에 의해 형성된 실리콘산화막을 더 형성하는 것도 가능하다.

배선층간절연막(121)에는 점속공(122)이 형성되고, 점속공(122)에는 상기한 플러그(116)와 같은 플러그(123)이 형성되어 있다. 또, 배선층간절연막(121) 및 플러그(123)상에는 상기한 배선형성용 절연막(117) 및 제 2 층 배선(M2)과 동일한 배선 형성용 절연막(124) 및 제 3 층 배선(M3)이 형성되어 있다. 플러그(123), 배선형성용 절연막(124) 및 제 3 층 배선(M3)에 있어서는 상기한 플러그(116), 배선형성용 절연막(117) 및 제 2 층 배선(M2)과 동일하기 때문에 상세한 설명은 생략한다. 즉, 제 3 층 배선(M3)은 제 2 층 배선(M2)와 같이 배리어층과 구리로 이루어지는 주전도층으로 구성된다.

또, 제 3 층 배선(M3)의 표면에는 제 2 층 배선(M2)과 같은 요철부(125)가 형성되어 있으나, 배선층간절연막(126)을 구성하는 평탄화층(126b)가 존재하므로, 배선층간절연막(126)의 표면은 요철부(125)에서 기인하는 요철이 해소되고, 상층에 형성되는 플러그 혹은 상층 배선의 형성 시 금속막의 잔류물 형성을 방지하고 상층 배선간의 쇼트불량을 방지하여, 반도체집적회로장치의 소정의 성능을 확보하고, 수율과 신뢰성을 향상할 수 있다. 평탄화층(126b)는 상기한 평탄화층(121b)과 같이 자기유동성을 가지는 피막 예를 들어 SOG막으로 이루어진다. 또, 배선층간절연막(126)을 구성하는 그 외의 층, 즉 브로킹층(126a) 및 절연막(126c)에 있어서도, 상기한 브로킹층(121a) 및 절연막(121c)와 동일하다. 따라서 이들의 상세한 설명은 생략한다. 또한, 브로킹층(126a)와 평탄화층(126b)와의 사이에 CVD법에 의해 형성된 실리콘산화막을 형성할 수 있는 것은, 배선층간절연막(121)의 경우와 같다.

배선층간절연막(126)에는 점속공(127)이 형성되고, 점속공(127)에는 상기한 플러그(116)와 동일한 플러그(128)이 형성되어 있다. 또, 배선층간절연막(126) 및 플러그(128)상에는 상기한 배선 형성용 절연막(117) 및 제 2 층 배선(M2)과 동일한 배선형성용 절연막(129) 및 제 4 층 배선(M4)이 형성되어 있다. 즉, 제 4 층 배선(M4)은 제 2 층 배선(M2)과 같이 배리어층과 구리로 이루어지는 주전도층으로 구성된다. 단, 배선형성용 절연막(129)의 막두께 및 제 4 층 배선(M4)의 막두께 및 폭은 배선 형성용 절연막(117) 및 제 2 층 배선(M2)의 그것보다 크게 되어 있다.

또, 제 4 층 배선(M4)의 표면에는 제 2 층 배선(M2)과 같은 요철부(130)이 형성되어 있으나, 배선층간절연막(131)을 구성하는 평탄화층(131b)가 존재하므로, 배선층간절연막(131)의 표면은, 요철부(130)에서 기인하는 요철이 해소되어, 상층에 형성된 플러그 혹은 상층 배선의 형성 시 금속막의 잔류물 형성을 방지하고 상층 배선간의 쇼트불량을 방지할 수 있다. 이로써, 반도체집적회로장치의 소정의 성능을 확보하고, 수율과 신뢰성을 향상할 수 있다. 평탄화층(131b)는 상기한 평탄화층(121b)와 같이 자기유동성을 가지는 피막 예를 들어 SOG막으로 이루어진다. 또, 배선층간절연막(131)을 구성하는 그 외의 층, 즉 브로킹층(131a) 및 절연막(131c)에 있어서도 상기한 브로킹층(121a) 및 절연막(121c)과 동일하다. 따라서, 이들의 상세한 설명은 생략한다. 또한, 배선층간절연막(131)의 막두께는 배선층간절연막(121)보다도 두껍게 되어 있다. 또, 브로킹층(131a)와 평탄화 층(131b)와의 사이에 CVD법에 의해 형성된 실리콘산화막을 더 형성할 수 있는 것은, 배선층간절연막(121)의 경우와 동일하다.

배선층간절연막(131)에는 점속공(132)이 형성되고, 점속공(132)에는 상기한 플러그(116)와 같이 텅스텐으로 이루어지는 플러그(133)이 형성되어 있다. 단, 플러그(133)의 지름 및 높이는, 배선층간절연막(131)의 막두께가 두껍게 되어 있으므로 플러그(116)의 그것보다 크게 되어 있다.

또, 배선층간절연막(131) 및 플러그(133)상에는 제 5 층 배선(M5)이 형성되어 있다. 제 5 층 배선(M5)은 예를 들어 알루미늄 혹은 알루미늄 합금으로 이루어지며, 포토리소그래피 기술 및 에칭 기술을 이용하여 형성된다.

이와 같이 알루미늄 혹은 알루미늄 합금으로 이루어지는 제 5 층 배선(M5)과, 구리로 이루어진 주전도층으로 구성되는 제 4 층 배선(M4)을, 텅스텐으로 이루어진 배리어 층을 매개로 하여 전기적으로 접속함으로써 알루미늄과 구리가 반응하여 저항이 증대하는 것을 방지할 수 있다.

제 5 층 배선(M5)은 절연막(134)로 덮여 있다. 절연막(134)는 예를 들어 CVD법으로 형성된 실리콘산화막 또는 실리콘질화막 혹은 그것들의 퇴층막으로 할 수 있다. 절연막(134)는 PIQ 등의 보호막을 더 포함할

수 있다.

절연막(134)의 일부에는 개구가 형성되고, 이 개구부에 형성된 범프 하지 금속(BLM:Bump Lower Metal)(135)을 매개로 하여 범프(136)과 제 5 층 배선(M5)이 전기적으로 접속되어 있다. 범프 하지 금속(135)은, 예를 들어 니켈과 금의 적층막으로 할 수 있다. 또, 범프(136)은 금 또는 땀납(solder)(이하 '땀납'이라 한다)으로 할 수 있다. 또한, 제 5 층 배선(M5)의 재료로서는 구리를 사용할 수도 있으나, 알루미늄을 사용함으로써 범프 하지 금속(135) 및 범프(136)과의 정합성을 좋게 할 수 있다.

또, 범프(136)에서가 아니라, 제 5 층 배선(M5)에서 와이어 본딩용의 본딩 패드를 형성하는 경우, 구리보다도 산화되기 어려운 알루미늄 합금으로 본딩 패드를 형성함으로써 신뢰성을 향상할 수 있다. 또, 제 5 층 배선(M5)과 같은 상층의 배선층에서는, 배선간의 피치 등 배선 룰을 제 2 ~ 제 4 층 배선(M2 ~ M4)보다 여유있게 잡을 수 있으므로, 구리보다도 산화 등의 문제가 적은 알루미늄 막으로 상층배선을 구성함으로써 신뢰성을 향상할 수 있다. 한편, 제 2 ~ 제 4 층 배선(M2 ~ M4)에 있어서는, 그 배선 폭, 배선 피치를 작게 하고 고밀도로 배선을 설치할 수 있음과 동시에, 알루미늄보다 비교적 저항이 작은 구리를 주전도막으로 이용함으로써 배선저항을 작게하여 회로의 동작속도를 향상할 수 있다.

또한, 제 1 층 배선(M1)부터 제 5 층 배선(M5)까지의 막두께 및 폭, 플러그(116), (123), (128), (133)의 지름 및 높이를 예시하면 이하와 같다. 예를 들어, 제 1 층 배선(M1)의 막두께는 0.2 ~ 0.3 μ m, 최소폭은 0.4 μ m로 할 수 있고, 제 2 층 배선(M2) 및 제 3 층 배선(M3)의 막두께는 0.5 μ m, 그 최소폭은 0.5 μ m, 제 4 층 배선(M4)의 막두께는 1 μ m, 최소폭은 1 μ m로 할 수 있다. 또, 예를 들어 플러그(116), (123), (128)의 지름은 0.5 μ m, 그 높이는 1 μ m로 할 수 있고, 플러그(133)의 지름은 1 μ m, 그 높이는 2 μ m로 할 수 있다.

이어, 상기한 반도체집적회로장치의 제조방법을 도면을 따라 설명한다. 도 22 ~ 도 54는, 본 실시예 3의 반도체집적회로장치의 제조 방법의 일예를 그 공정 순으로 도시한 단면도이다.

먼저, 예를 들어, p-형 단결정 실리콘으로 이루어지는 반도체기판(101)을 준비하여, 소자 분리 영역(102)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하여, 반도체기판(101)에 얇은 홈을 형성한다. 이어, 포토레지스트막을 제거하고, 상기 얇은 홈을 매립하는 실리콘산화막을 반도체기판(101)의 전면에 퇴적하고, 이 실리콘산화막을 CMP법에 의해 연마한다. 이로써 얇은 홈 이외 영역의 반도체기판(101)상의 상기 실리콘산화막을 제거하여 얇은 홈 내에 소자분리영역(102)을 형성한다.

이어, p형 웰(103)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하고, 이 포토레지스트막을 마스크로 해서, p형의 전도형으로 하기 위한 불순물, 예를 들어 보론을 이온 주입한다. 상기 포토레지스트막을 제거한 후, n형 웰(104)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하여, 이 포토레지스트막을 마스크로 해서, n형의 전도형으로 하기 위한 불순물, 예를 들어 인을 이온 주입한다. 게다가, 상기 포토레지스트막을 제거한 후, 반도체기판(101)에 열처리를 행하여 상기 불순물을 활성화하여, p형 웰(103) 및 n형 웰(104)을 형성한다 (도 22).

이어, 반도체기판(101)의 주면 상에 게이트 절연막(105)이 되는 실리콘산화막, 게이트전극(106)이 되는 다결정 실리콘막 및 캡절연막(110)이 되는 실리콘산화막을 순차 퇴적하여 적층막을 형성하고, 포토리스그래피에 의해 패터닝된 포토레지스트막을 마스크로 하여 상기 적층막을 에칭하고, 게이트절연막(105), 게이트전극(106) 및 캡절연막(110)을 형성한다 (도 23). 게이트 절연막(105)은 예를 들어 열CVD법에 의해 형성할 수 있고, 게이트전극(106)은 CVD법에 의해 형성할 수 있으나, 그 저항값을 저감하기 위해 n형 불순물(예를 들어 P)을 도우프해도 좋다. 또한, 게이트전극(106)의 상부에 WSi_x, MoSi_x, TiSi_x, TaSi_x 등의 고용점 금속 실리콘사이드 막을 적층해도 좋고, 질화 티타늄(TiN), 질화 텅스텐(WN) 등의 배리어 층을 매개로 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta) 등의 금속층을 형성해도 좋다. 캡절연막(110)은 예를 들어 CVD법에 의해 퇴적할 수 있다.

이어, n채널 MISFET(Qn)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하고, 이 포토레지스트막과 캡절연막(110)을 마스크로 해서 n형의 전도형 불순물, 예를 들어 인을 이온 주입하여, 반도체영역(107)을 게이트전극(106)에 대해 자기 정합적으로 형성한다. 상기 포토레지스트막을 제거한 후, p채널 MISFET(Qp)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하고, 이 포토레지스트막과 캡절연막(110)을 마스크로 해서 p 형의 전도형 불순물, 예를 들어 보론을 이온 주입하여, 반도체영역(108)을 게이트전극(106)에 대해 자기 정합적으로 형성한다. 게다가, 반도체기판(101)상에 CVD법으로 산화실리콘막을 퇴적한 후, 반응성 이온 에칭(RIE)법으로 이 산화실리콘 막을 이방성 에칭함으로써, 게이트전극(106)의 측벽에 측벽공간(109)을 형성한다 (도 24). 또한, 게다가, 포토레지스트막, 캡절연막(110) 및 측벽공간(109)을 마스크로 해서 반도체영역(107) 또는 반도체영역(108)에 그 전도형에 맞는 불순물을 고농도로 이온 주입하여, 소위 LDD구조의 불순물 반도체영역을 형성해도 좋다.

또, 이 단계에서, 반도체영역(107), (108)의 표면에 텅스텐 또는 코발트의 실리콘사이드막을 형성하여, 반도체영역(107), (108)의 시트저항 및 플러그(113)과의 접속저항을 저감하도록 해도 좋다.

이어, 반도체기판(101)상에 스퍼터법 또는 CVD법으로 산화실리콘막을 퇴적하고, 층간절연막(111)을 형성한다. 층간절연막(111)의 표면은 CMP법을 이용한 연마에 의해 평탄화할 수 있다. 게다가, 반도체기판(101)의 주면의 반도체영역(107), (108)상의 층간절연막(111)에 포토리스그래피 기술 및 에칭 기술을 이용하여 접속공(112)을 개구한다 (도 25).

이어, 스퍼터법에 의해 텅스텐막(113a)을 퇴적하고, 게다가 블랑킷 CVD법에 의해 텅스텐막(113b)을 퇴적한다 (도 26).

이어, 접속공(112) 이외의 층간절연막(111)상의 텅스텐막(113b) 및 텅스텐막(113a)을 CMP법에 의한 연마에 의해 제거하여, 플러그(113)를 형성한다 (도 27). 이 때, 플러그(113)의 표면에는 층간절연막(111)인 실리콘산화막과 텅스텐막(113b) 및 텅스텐막(113a)과의 CMP연마의 속도차에서 기인한 요철부(디싱부)(140)이 형성된다. 또한, CMP법에 대신하여 에치 백 법을 이용해도 좋다.

이어, 반도체기판(1)의 전면에 텅스텐막을 퇴적하고, 이 텅스텐막을 포토리소그래피 및 에칭 기술에 의해 패터닝하여 제 1 층 배선(M1)을 형성한다(도 28). 또한, 앞 공정에서 발생한 요철부(140)의 영향은 텅스텐막의 표면에도 발생하나, 이 요철부(140)에서 기인하는 텅스텐막의 표면 요철의 존재는 제 1 층 배선(M1)이 패터닝에 의해 형성되기 때문에 큰 영향은 받지 않는다. 즉, 제 1 층 배선(M1)이 요철부(140)에 기인하여 잔존하는 일은 없다.

이어, 스퍼터법 또는 CVD 법으로 산화 실리콘 막을 퇴적하여 배선층간절연막(114)을 형성한다. 또한, 여기서, 스퍼터법 또는 CVD법에서 형성된 실리콘산화막을 예시하고 있으나, SOG 등의 도포막, 유기막, 불소를 첨가한 CVD 실리콘산화막, 실리콘질화막, 그외 복수층의 절연막을 적층한 다층막이라도 좋다. 또, 배선층간절연막(114)의 표면은 CMP법에 의해 연마하여 평탄화 한다. 이와 같이 평탄화함으로써, 다음에 설명하는 접속공(115)의 가공 시의 포토리소그래피를 정밀하게 행할 수 있어, 반도체집적회로장치의 고 집적화에 대응하기가 용이해 진다.

이어, 포토리소그래피 기술 및 에칭 기술을 이용하여 제 1 층 배선(M1)의 표면에 달하는 접속공(115)을 개구한다(도 29).

이어, 접속공(115)의 내부를 포함하는 배선층간절연막(114)의 표면에, 스퍼터법에 의해 텅스텐막(116a)을 퇴적하고, 게다가 불량택 CVD법에 의해 텅스텐막(116b)을 퇴적한다(도 30).

이어, 접속공(115) 이외의 배선층간절연막(114)상의 텅스텐막(116b) 및 텅스텐막(116a)을 CMP법에 의해 연마함으로써 제거하고, 플러그(116)를 형성한다(도 31). 이 때, 플러그(116)의 표면에는 배선층간절연막(114)인 실리콘산화막과 텅스텐막(116b) 및 텅스텐막(116a)의 CMP연마의 속도차에서 기인한 요철부(141)이 형성된다. 또한, CMP법 대신에 에치 백 법을 이용해도 좋다.

이어, 제 2 층 배선(M2)을 CMP법으로 형성하기 위한 배선형성용 절연막(117)을 퇴적한다(도 32). 배선형성용 절연막(117)은 예를 들어 CVD법 또는 스퍼터법에 의해 형성된 실리콘산화막으로 할 수 있고, 그 막두께는 제 2 층 배선(M2)의 막두께인 0.5 μm 또는 그것보다도 약간 두껍게 형성한다. 배선형성용 절연막(117)의 표면에는 요철부(141)에서 기인하는 요철부가 형성된다.

이어, 제 2 층 배선(M2)이 형성되는 영역에 개구를 가지는 포토레지스트막을 형성하고, 이 포토레지스트막을 마스크로 해서 배선형성용 절연막(117)을 에칭하여, 배선형성용 절연막(117)에 배선홀(118)을 형성한다(도 33). 또한, 이 단계에서 상기한 요철부(141)에서 기인하는 배선형성용 절연막(117)의 표면의 요철부는 제거되고, 그 후의 공정에 영향을 미치는 일은 없다. 또, 배선홀(118)의 폭은, 최소폭(W1)과 최대폭(W2)와의 사이의 폭으로 형성되나, 최대폭(W2)는 최소폭(W1)의 4배 이하이다.

이어, 배선홀(118)의 내부를 포함하는 배선형성용 절연막(117)의 표면에 배리어층(119a)이 되는 질화티타늄막(142)을 퇴적한다(도 34). 질화티타늄막(142)은 예를 들어 CVD법 또는 스퍼터법에 의해 퇴적할 수 있다. 질화티타늄막(142)의 퇴적은 후술하는 구리막의 밀착성향상 및 구리의 확산방지를 위해 행하는 것이다. 또한, 질화티타늄막을 대신해 탄탈 등의 금속막 또는 질화탄탈막 등이어도 좋다. 또, 차기 공정인 구리막의 퇴적 직전에 질화티타늄막(142)의 표면을 스퍼터 에칭 하는 것도 가능하다. 이와 같은 스퍼터 에칭에 의해 질화티타늄막(142)의 표면에 흡착한 물, 산소 분자 등을 제거하여, 구리막의 점착성을 개선할 수 있다.

이어, 주전도층(119b)이 되는 금속, 예를 들어 구리의 박막을 퇴적하고, 이것을 열처리하고 유동화하여, 배선홀(118)에 양호하게 매립된 구리막(143)을 형성한다(도 35). 구리막(143)의 퇴적은 통상의 스퍼터법을 이용할 수 있으나, 증착법 등의 물리적 기상 성장법을 이용해도 좋다. 또, 유기금속가스 등을 원료 가스로 이용한 CVD법 등에 의해 퇴적을 행해도 좋다. 열처리의 조건은 구리막(143)이 유동화하는 온도 및 시간을 필요로 하고, 예를 들어 350 $^{\circ}\text{C}$ ~ 400 $^{\circ}\text{C}$, 3분 ~ 5분을 예시할 수 있다. 또한, 구리막(143)은 전해 도금 또는 무전해 도금의 도금법을 이용하여 형성할 수도 있다.

또, 질화티타늄막(142) 및 구리막(143)의 막두께는 배선홀(118)이 최소폭(W1)인 영역에서 막두께(H1)이고, 배선홀(118)이 최대폭(W2)인 영역에서 막두께(H2)이다. 이 때, 막두께(H1)과 막두께(H2)는 거의 같고, 게다가 배선홀(118)의 깊이(L1)보다도 크게 되어 있다. 즉, 구리막(143)은 배선홀(118)이 최소폭(W1)인 영역 및 최대폭(W2)인 영역의 쌍방에서 배선홀(118)을 완전히 매립하고 있다. 이에 따라, 제 2 층 배선(M2)이 배선홀(118)의 단면내의 거의 전역에 형성되어, 제 2 층 배선(M2)의 저항을 저감할 수 있다.

이어, 배선형성용 절연막(117)상의 여분의 구리막(143) 및 질화티타늄막(142)을 제거하여, 제 2 층 배선(M2)을 구성하는 주전도층(119b) 및 배리어 층(119a)을 형성한다(도 36). 구리막(143) 및 질화티타늄막(142)의 제거에는 CMP법에 의한 연마를 이용한다. 제 2 층 배선(M2)의 형성에 CMP법에 의한 연마를 이용하기 때문에, 제 2 층 배선(M2)의 표면에는 배선형성용 절연막(117)의 표면과 비교해서 함몰한 상태인 디싱(120)이 형성된다. 도 36의 일정채선으로 둘러싸인 부분의 확대도를 도 37에서 도시한다. 도 37에서 도시하듯이, 배선형성용 절연막(117)의 표면에는 CMP의 연마제 등에 의해 긁힌 흠인 스크래치(145)가 형성된다.

또, 배선홀(118)이 최소폭(W1)인 영역의 디싱(120)부분의 디싱량(K1)과 최대폭(W2)인 영역의 디싱(120)부분의 디싱량(K2)와는 거의 동량으로 되어 있다.

이어, 제 2 층 배선(M2) 및 배선형성용 절연막(117)상에 실리콘질화막을 퇴적하여 브로킹층(121a)을 형성한다(도 38). 실리콘질화막의 퇴적에는 예를 들어 플라즈마 CVD법을 이용할 수 있다. 막두께는 약 100nm로 한다. 실리콘질화막의 막두께가 얇고, 또 CVD법에 의한 실리콘질화막은 단차의 피복성이 뛰어나기 때문에, 이 단계에서 브로킹층(121a)의 표면은, 도 39에서 도시하듯이, 디싱(120) 및 스크래치(145)에서 기인하는 요철이 존재한다. 또한, 도 39는 도 38의 일정채선으로 둘러싸인 부분의 확대도를 도시한다.

이어, 자기유동성을 가지는 피막인 SOG막을 도포하고, 게다가 400 $^{\circ}\text{C}$ 정도의 열처리를 행하여 경화하고, 평탄화층(121b)을 형성한다(도 40). SOG막으로서 유기 또는 무기의 SOG막을 이용할 수 있다. 또, 폴리

시라젠계의 SOG막을 이용하는 것도 가능하다. 폴리시라젠계의 SOG막의 경우에는 내열성을 가지고 반도체 집적회로장치의 신뢰성을 향상할 수 있다. 도 41은 도 40의 일정선택으로 둘러싸인 부분의 확대도를 도시한다. 도 41에서 도시하듯이, 평탄화층(121b)로서 자기유동성을 가지는 SOG막을 이용하기 때문에, 그 표면은 평탄화되어, 디싱(120) 및 스크래치(145)의 영향은 배제된다.

이어, 절연막(121c)를 퇴적하여 배선층간절연막(121)을 완성한다(도 42). 절연막(121c)는 예를 들어 CVD법에 의한 실리콘산화막으로 할 수 있다. 절연막(121c)의 표면 즉 배선층간절연막(121)의 표면은 평탄화층(121b)의 존재에 의해 평탄성이 확보되어 있다. 이에 따라, 그 후의 공정에서 형성되는 플러그(123) 등 전도성 부재의 형성 시에 디싱(120) 또는 스크래치(145)에서 기인하는 전도성 잔류물이 형성되지 않고, 상기 배선인 제 3 층 배선(M3)의 절연성이 확보된다. 또, 배선층간절연막(121)의 표면이 평탄화되어 있기 때문에, 포토리소그래피의 마진을 향상하고, 반도체 집적회로장치의 미세화에 대응하는 것이 가능해진다.

이어, 접속공(122)가 형성되는 영역에 개구를 가지는 포토레지스트막(146)을 패터닝하고, 이 포토레지스트막(146)을 마스크로 하여 절연막(121c) 및 평탄화층(121b)를 에칭한다(도 43). 이 에칭 시에는, 실리콘산화막의 에칭 속도가 실리콘질화막에 비해 크게 되도록 에칭을 행하여, 실리콘산화막으로 이루어지는 브로킹층(121a)를 에칭의 스톱퍼막으로 이용할 수 있다.

이어, 에칭의 조건을 실리콘질화막의 에칭 속도가 실리콘산화막에 비해 크게 되는 조건으로 절환하고, 브로킹층(121a)를 더 에칭하여 접속공(122)의 형성을 완료한다(도 44). 이와 같이, 접속공(122)의 에칭을 2단계로 행함으로써, 브로킹층(121a)의 에칭 시 오버 에칭을 충분히 행하여도 브로킹층(121a)의 막두께가 얇기 때문에 제 2 층 배선(M2)이 과도하게 에칭되는 일은 없다. 이로써, 접속공(122)의 개구를 확실하게 행함과 동시에, 제 2 층 배선(M2)로의 피해를 최소한으로 할 수 있다.

또, 포토레지스트막(146)의 제거 시에는 통상 산소 또는 오존에 의한 아싱(ashing)법이 이용되나, 평탄화층(121b)의 무기 SOG를 이용하는 경우에는, 이 아싱 시에 접속공(122) 측면부분의 평탄화층(121b)의 단면에 받는 손상을 억제할 수 있다. 즉, 가령 평탄화층(121b)에 유기 SOG를 이용하면, 오존 아싱 시에 유기 SOG 내의 Si-CH₃ 결합이, Si-OH 또는 Si-O 결합으로 변환되어 그 부분의 흡습성 또는 막수축이 발생한다. 이 결과, 반도체 집적회로장치의 신뢰성 저하와 수율 저하가 예측되어 바람직하지 않다. 따라서, 유기 SOG를 채용하는 경우에는 포토레지스트막(146)의 웨트(wet)프로세스에 의한 박리나, 저압 산소 프로세스를 이용한 반응성 이온 에칭(RIE)등, 아싱과 비교해 익숙하지 않은 프로세스를 이용할 필요가 생긴다. 그러나, 평탄화층(121b)에 무기 SOG를 이용하는 경우에는, 이같은 부적합함은 발생하지 않는다.

또한, 다음 공정인 플러그(123) 형성공정이 진행되기 직전에 예를 들어 수소 분위기에서 350℃, 5분 정도의 어닐(anneal : 가열 냉각)을 행하여, 접속공(122) 바닥부의 제 2 층 배선(M2)의 표면에 환원처리를 행할 수 있다. 게다가, 접속공(122)의 바닥부로 스퍼터 에칭을 행할 수도 있다. 이에 따라, 포토레지스트막(146)의 제거 시 아싱 또는 대기 분위기로의 방치에 의해 생긴 접속공(122) 바닥부의 산화 구리를 제거하여 제 2 층 배선(M2)과 플러그(123)과의 전기적 접속의 접속저항의 저감 또는 접속 신뢰성의 향상을 도모할 수 있다.

이어, 상기한 플러그(116)의 형성방법과 동일하게 해서 플러그(123)를 형성한다(도 45). 이 플러그(123)의 형성 시에 CMP법이 이용되는 것은 상기한 대로 이나, 배선층간절연막(121)의 표면이 평탄화되어 있기 때문에, 전도성 잔류물이 배선층간절연막(121)의 표면에 잔존하는 일은 없다. 이 때문에, 플러그(123)간의 절연성 및 배선층간절연막(121)상에 형성된 제 3 층 배선(M3)간의 절연성이 확보된다. 또한, 플러그(123)의 표면에는 CMP법에 의한 연마에 기인하여 요철부(147)이 형성된다.

이어, 배선층간절연막(121) 및 플러그(123)의 상면에는 제 3 층 배선(M3)을 형성하기 위한 배선형성용 절연막(124)이 형성된다(도 46). 배선형성용 절연막(124)은 배선형성용 절연막(117)과 동일하게 하여 형성할 수 있다. 또, 배선형성용 절연막(124)의 표면에는 요철부(147)에서 기인하는 요철부가 형성된다.

이어, 상기한 제 2 층 배선(M2)의 경우와 동일하게 하여 배리어층과 구리막으로 이루어지는 제 3 층 배선(M3)을 형성한다(도 47). 이 제 3 층 배선(M3)의 형성 시, 요철부(147)에서 기인하는 배선형성용 절연막(124) 표면의 요철부는 그것에서 기인하는 전도성 잔존물을 형성하지 않는다. 이것은, 제 2 층 배선(M2)의 경우와 동일하며, 제 3 층 배선(M3)을 형성하기 위한 얇은 층의 가공 시에 상기한 요철부가 에칭되어 제거되는 것에서 기인한다. 또한, 제 3 층 배선(M3)의 표면에는 CMP법 연마에서 기인하는 요철부(125)가 형성된다.

이어, 배선형성용 절연막(124) 및 제 3 층 배선(M3)의 표면에, 제 3 층 배선(M3)과 제 4 층 배선(M4)와를 절연하는 배선층간절연막(126)을 구성하는 브로킹층(126a) 및 평탄화층(126b)을 형성한다(도 48). 브로킹층(126a) 및 평탄화층(126b)의 형성은 브로킹층(121a) 및 평탄화층(121b)과 동일하게 행할 수 있다. 평탄화층(121b)을 형성함으로써 요철부(125)의 영향을 제거하고 그 표면을 평탄하게 할 수 있다.

이어, 배선층간절연막(126)을 구성하는 절연막(126c)를 퇴적하여 배선층간절연막(126)의 형성을 완료한다. 배선층간절연막(126)의 표면은 평탄화층(121b)의 존재에 의해 평탄화되어 있다. 게다가, 플러그(116)와 동일하게 하여 플러그(128)를 형성한다(도 49). 이 플러그(128)의 형성 시에 CMP법이 이용되는 것은 상기한 바와 같으나, 배선층간절연막(126)의 표면이 평탄화되어 있기 때문에, 전도성의 잔류물이 배선층간절연막(126)의 표면에 잔존하는 일이 없다. 이 때문에, 플러그(128)간의 절연성 및 배선층간절연막(126)상에 형성되는 제 4 층 배선(M4)간의 절연성이 확보된다. 또한, 플러그(128)의 표면에는 CMP법에 의한 연마에서 기인하여 요철부(149)가 형성되나, 이로 인하여 다음 공정에서 전도성 잔류물이 발생하지 않는 것은 상기 제 3 층 배선의 경우와 동일하다.

이어, 배선층간절연막(126) 및 플러그(128)의 상면에는, 제 4 층 배선(M4)을 형성하기 위한 배선형성용 절연막(129)이 형성된다. 배선형성용 절연막(129)의 형성은, 배선형성용 절연막(117)과 동일하게 행할 수 있으나, 제 4 층 배선(M4)의 막두께가 두꺼워짐에 따라, 배선형성용 절연막(117)보다도 두껍게, 예를 들어 1μm의 막두께 또는 그것보다도 약간 두꺼운 막두께로 형성된다. 그 후, 제 2 층 배선(M2) 또는 제 3 층 배선(M3)의 경우와 동일하게 배선층을 형성하고 질화티타늄막(150) 및 구리막(151)을 퇴적한다(도

50). 질화티타늄막(150) 및 구리막(151)은 제 2 층 배선(M2) 또는 제 3 층 배선(M3)의 경우와 동일하게 형성할 수 있다.

이어, 질화티타늄막(150) 및 구리막(151)을 CMP법에 의해 연마하고, 배선형성용 절연막(129)의 상면의 여분의 질화티타늄막(150) 및 구리막(151)을 제거한다. 이로써, 제 4 층 배선(M4)을 형성한다 (도 51). 또한, 제 4 층 배선(M4)의 표면에는 CMP법의 연마에서 기인하는 요철부(130)이 형성된다.

이어, 배선형성용 절연막(129) 및 제 4 층 배선(M4)의 표면에, 제 4 층 배선(M4)와 제 5 층 배선(M5)을 절연하는 배선층간절연막(131)을 구성하는 브로킹층(131a) 및 평탄화층(131b)을 형성한다 (도 52). 브로킹층(131a) 및 평탄화층(131b)의 형성은 브로킹층(121a) 및 평탄화층(121b)과 동일하게 행할 수 있다. 평탄화층(131b)을 형성함으로써 요철부(130)의 영향을 제거하고, 이 표면을 평탄하게 할 수 있다.

이어, 배선층간절연막(131)을 구성하는 절연막(131c)을 퇴적하여 배선층간절연막(131)의 형성을 완료한다. 배선층간절연막(131)의 표면은 평탄화층(131b)과 존재하므로 평탄화되어 있다. 게다가, 플러그(116)와 동일하게 하여 플러그(133)를 형성한다 (도 53).

이어, 배선층간절연막(131)상에, 예를 들어 알루미늄막을 전면으로 퇴적하고, 이 알루미늄막을 패터닝하여 제 5 층 배선(M5)을 형성한다 (도 54). 알루미늄막의 퇴적에는, 스퍼터법, CVD법, 증착법 등을 이용할 수 있다.

이어, 예를 들어 실리콘산화막을 퇴적하여 절연막(134)을 형성하고, 그 후 제 5 층 배선의 패드상부 절연막(134)에 개구를 형성한다. 게다가, 전면으로 니켈막 및 금막을 스퍼터법, CVD법, 증착법 등을 이용하여 퇴적하고, 상기 패드부 이외의 니켈막 및 금막을 제거하여 범프하지금속(135)을 형성한다. 그 후, 금볼(gold ball)의 전사(轉寫), 또는 금막의 퇴적 및 패터닝에 의해 범프(136)를 형성하여 도 21에서 도시하는 반도체집적회로장치를 거의 완성한다.

또한, 절연막(134)은 실리콘산화막 및 실리콘질화막의 적층막, 또는 PIQ막을 더 형성한 것이라도 좋다. 또, 범프(136)는 땀납막의 형성 및 패터닝에 의한 땀납볼이라도 좋다.

본 실시예 3의 반도체집적회로장치 및 그 제조방법에 의하면, 상기한 바와 같이, 플러그(123), (128), (133)이 형성되는 배선층간절연막(121), (126), (131)에 평탄화층(121b), (126b), (131b)가 형성되어 있기 때문에, 플러그(123), (128), (133)를 CMP법으로 형성할 시에 전도성 잔류물이 잔존하지 않고, 플러그(123), (128), (133) 및 각 플러그 상층에 형성되는 제 3 ~ 제 5 층 배선(M3 ~ M5)의 절연성이 확보되어, 반도체집적회로장치의 소정의 기능을 유지하고, 그 신뢰성과 수율의 향상을 도모할 수 있다.

또한, 본 실시예 3에서는 평탄화층(121b), (126b), (131b)로서 SOG막을 예시했으나, 기체상태중에서의 시라놀($H_2Si(OH)_4$)의 생성과 저온기판상에서의 시라놀의 반응에 의해 형성된 실리콘산화막으로 할 수도 있다. 이러한 실리콘산화막의 형성방법에 대해서는 실시예 1에서 설명한대로이며, 여기서는 설명을 생략한다.

(실시예 4)

도 55는 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

본 실시예 4의 반도체집적회로장치는 실시예 3의 반도체집적회로장치와 배선형성용 절연막(117), (124), (129)의 구성에 있어서만 상이한 것이다. 따라서, 그와의 구성부재에 대한 설명은 생략한다.

본 실시예 4의 배선형성용 절연막(117), (124), (129)에는 평탄화층(117a), (124a), (129a)가 포함되고, 평탄화층(117a), (124a), (129a)의 각각의 상층에 형성된 절연막(117b), (124b), (129b)과 함께 배선형성용 절연막(117), (124), (129)을 각각 구성한다. 이와 같이, 배선형성용 절연막(117), (124), (129)에 평탄화층(117a), (124a), (129a)가 각각 포함되기 때문에, 배선형성용 절연막(117), (124), (129)의 형성 후 표면이 그 하층에 형성된 플러그(116), (123), (127)의 CMP법에 의한 형성 시에 생긴 요철부로 인해 요철이 발생하는 일이 없다. 이로써, 배선형성용 절연막(117), (124), (129)의 각각에 배선홀을 형성할 시에 포토리소그래피를 정밀도 좋게 행할 수 있고, 반도체집적회로장치의 고집적화에 대응할 수 있다.

평탄화층(117a), (124a), (129a)는 실시예 3에서의 평탄화층(121b), (126b), (131b)와 동일하며 자기유동성을 가지는 SOG막으로 이루어진다. SOG막은 유기 SOG막 또는 무기 SOG막으로 이루어진다. SOG막은 유기 SOG막 또는 무기 SOG막의 어느쪽이든 좋으나, 무기 SOG의 경우에는 실시예 3에서 설명한 것과 동일한 효과, 즉 배선형성용 절연막(117), (124), (129)에 배선홀을 형성할 시에 사용하는 포토레지스트막의 제거공정에 아싱을 이용한 경우라도 SOG막에 친수성 또는 수축이 생기는 일이 없다. 한편, 유기 SOG막을 이용한 경우에는 저유전율에서 기인한 배선간 용량을 저감할 수 있는 효과가 있다. 또, 평탄화층(117a), (124a), (129a)는 SOG막을 대신하여 기체상태중에서의 시라놀의 생성과 저온기판상에서의 시라놀의 반응에 의해 형성되는 실리콘산화막으로 할 수도 있다.

절연막(117b), (124b), (129b)는 예를 들어 CVD법 또는 스퍼터법에 의해 형성된 실리콘산화막으로 할 수 있고, 배선형성용 절연막(117), (124), (129)의 막두께를 조정하는 기능을 가진다.

이어, 본 실시예 4의 반도체집적회로장치의 제조방법을 도 56 ~ 도 64를 이용하여 설명한다. 도 56 ~ 도 64는 실시예 4의 반도체집적회로장치의 제조방법의 일예를 그 공정순으로 도시한 단면도이다.

본 실시예 4의 제조방법은 실시예 3의 도 31까지의 공정과 동일하다. 따라서, 그까지의 공정에 대한 설명은 생략한다.

실시예 3의 도 31에서 도시하듯이 배선층간절연막(114)에 플러그(116)를 형성한다. 이 플러그(116)의 표면에는 도 31에서 도시하듯이 요철부(141)이 형성된다.

이어, 배선층간절연막(114) 및 플러그(116)상에 평탄화층(117a)을 형성하고, 절연막(117b)을 퇴적한다. 이로써 평탄화층(117a) 및 절연막(117b)로 구성되는 배선형성용 절연막(117)이 형성된다 (도 56). 평탄

화층(117a)는 자기유동성을 가지는 SOG막이다. 이와 같이 자기유동성을 가지는 SOG막을 형성하기 때문에 평탄화층(117a)의 표면에는 요철부(141)의 영향이 나타나지 않고 그 표면은 평탄화된다. 또, 절연막(117b)는 예를 들어 CVD법에 의한 실리콘산화막으로 할 수 있으나, 평탄화층(117a)가 존재하기 때문에 그 표면은 평탄화되어 있다.

이어, 배선형성용 절연막(117)상에 제 2 층 배선(M2)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하고, 이 포토레지스트막을 마스크로 하여 배선형성용 절연막(117)을 에칭하고, 배선층(118)을 형성한다 (도 57). 이 배선층(118)의 형성시에는 배선형성용 절연막(117)의 표면이 완전히 평탄화되어 있기 때문에 포토리소그래피 공정이 고정밀도로 행하여 질 수 있으며, 플러그(116)의 상부에 배선이 형성되지 않는 경우라도 그 상부의 배선형성용 절연막(117)의 표면에 배선을 형성하기 위한 금속막이 잔류하는 일이 없다. 이로써 반도체집적회로장치의 신뢰성을 향상할 수 있다.

이어, 실시예 3의 제 2 층 배선(M2)의 제조방법과 동일하게 제 2 층 배선(M2)을 형성하고 (도 58), 또한 실시예 3의 경우와 동일하게 배선층간절연막(121) 및 플러그(123)를 형성한다 (도 59). 또, 플러그(123)의 표면에는 요철부(147)이 형성된다.

이어, 배선층간절연막(121) 및 플러그(123)상에 평탄화층(124a)을 형성하고 절연막(124b)을 퇴적한다. 이로써 배선형성용 절연막(124)이 형성된다 (도 60). 평탄화층(124a)은 평탄화층(117a)와 동일하게 자기유동성을 가지는 SOG막이며, 절연막(124b)은 절연막(117b)와 동일하게 예를 들어 CVD법에 의한 실리콘산화막으로 할 수 있다. 배선형성용 절연막(124)은 평탄화층(124a)이 존재하기 때문에 요철부(147)의 영향을 제거할 수 있으며 그 표면은 평탄화된다.

이어, 제 2 층 배선(M2)의 경우와 동일하게 배선형성용 절연막(124)에 배선층을 형성하고, 이 배선층 내에 제 3 층 배선(M3)을 형성한다 (도 61). 게다가, 실시예 3의 경우와 동일하게 배선층간절연막(126) 및 플러그(128)를 형성한다 (도 62).

이어, 배선층간절연막(126) 및 플러그(128)상에 평탄화층(129a)을 형성하고, 게다가 절연막(129b)을 퇴적한다. 이로써, 배선형성용 절연막(129)이 형성된다 (도 63). 평탄화층(129a)은 평탄화층(117a)와 동일하게 자기유동성을 가지는 SOG막이고, 절연막(129b)은 절연막(117b)와 동일하게 예를 들어 CVD법에 의한 실리콘산화막으로 할 수 있다. 배선형성용 절연막(129)은 평탄화층(129a)이 존재하기 때문에 상기와 동일하게 그 표면은 평탄화된다.

이어, 제 2 층 배선(M2) 또는 제 3 층 배선(M3)의 경우와 동일하게 배선형성용 절연막(129)에 배선층을 형성하고, 이 배선층 내에 제 4 층 배선(M4)을 형성한다 (도 64). 그 후의 공정은 실시예 3과 동일하므로 설명을 생략한다.

본 실시예 4의 반도체집적회로장치 및 그 제조방법에 의하면, 배선형성용 절연막(117), (124), (129)에 평탄화층(117a), (124a), (129a)가 포함되므로, 배선형성용 절연막(117), (124), (129)의 표면을 평탄화할 수 있고 포토리소그래피의 가공정밀도를 향상할 수 있다. 또, 하층에 형성된 플러그 등에 요철부를 가지고 있어도, 이 요철부에서 기인하는 배선형성용의 전도성막의 잔류가 발생하지 않아 반도체집적회로장치의 신뢰성을 향상할 수 있다.

(실시예 5)

도 65는 본 발명의 또 다른 실시예인 반도체집적회로장치의 일예를 도시한 단면도이다.

본 실시예 5의 반도체집적회로장치는 배선형성용 절연막(117), (124), (129)에는 평탄화층(117a), (124a), (129a)가 포함되고 평탄화층(117a), (124a), (129a)의 각각의 상층에 형성된 절연막(117b), (124b), (129b)과 함께 배선형성용 절연막(117), (124), (129)을 각각 구성하나, 배선층간절연막(121), (126), (131)에는 평탄화층이 포함되지 않고 브로킹층(121a), (126a), (131a) 및 절연막(121c), (126c), (131c)로 배선층간절연막(121), (126), (131)을 각각 구성하는 것이다.

이와 같은 반도체집적회로장치에 의하면, 실시예 4에서 설명한 효과를 얻을 수 있는 한편, 플러그(123), (127), (133) 형성 시의 CMP연마를 어느 정도 과도하게 행함으로써 전도성 잔류물의 발생을 어느 정도 억제하는 것도 가능하다.

(실시예 6)

도 66은 본 발명의 또 다른 실시예인 반도체집적회로장치의 실시예를 도시한 단면도이다.

본 실시예 6의 반도체집적회로장치는 그 제 1 층 배선(M1)을 CMP법으로 형성한 것이고, 또 제 1 배선(M1)과 제 2 층 배선(M2) 간의 배선층간절연막(114)에 평탄화층(114a)을 적용한 것이다. 그 외의 구성은 실시예 3과 동일하며 설명은 생략한다.

평탄화층(114a)은 자기유동성을 가지는 유동성절연막이고 예를 들어 SOG막으로 할 수 있다. SOG막은 유기, 무기 어느 것이든 좋고, 또한 SOG막을 대신하여 기체상태중에서의 시라놀 생성과 저온 기판상에서의 시라놀의 반응에 의해 형성되는 실리콘산화막으로 할 수도 있다. 배선층간절연막(114)은 평탄화층(114a)과 절연막(114b)로 구성되며, 절연막(114b)은 예를 들어 CVD법 또는 스퍼터법에 의해 형성된 실리콘산화막으로 할 수 있고, 배선층간절연막(114)의 막두께를 조정하는 기능을 가진다.

이어, 본 실시예 6의 반도체집적회로장치의 제조방법을 도 67 ~ 도 71을 이용하여 설명한다. 도 67 ~ 도 71은 실시예 6의 반도체집적회로장치의 제조방법의 일예를 그 공정순으로 도시한 도면도이다.

본 실시예 6의 제조방법은 실시예 3의 도 27까지의 공정과 동일하다. 따라서, 그것까지의 공정에 대한 설명은 생략한다.

실시예 3의 도 27에서 도시한 플러그(113)의 형성 후 제 1 층 배선(M1)을 형성하기 위한 배선형성용 절연막(114c)을 퇴적한다 (도 67). 배선형성용 절연막(114c)은 예를 들어 CVD법에 의해 형성할 수 있고 실리콘산화막으로 할 수 있다. 또, 배선형성용 절연막(114c)의 표면에는 요철부(140)에서 기인하여 요철부

가 형성되어 있다.

이어, 제 1 층 배선(M1)이 형성되는 영역에 개구를 가지는 포토레지스트막을 패터닝하고 이 포토레지스트막을 마스크로 하여 배선형성용 절연막(114c)를 엮는다 (도 68).

이어, 반도체기판(101)의 전면에 텅스텐막(152)을 퇴적하고 (도 69), 이 텅스텐막(152)을 CMP법에 의해 연마한다. 텅스텐막(152)의 연마는 배선형성용 절연막(114c)의 표면이 노출할 때까지 행한다. 이로써 배선형성용 절연막(114c) 표면의 여분의 텅스텐막(152)을 제거하여 제 1 층 배선(M1)을 형성한다 (도 70). 또한, 제 1 층 배선(M1)의 표면에는 제 1 층 배선(M1)을 구성하는 텅스텐과 배선형성용 절연막(114c)를 구성하는 실리콘산화막과의 CMP의 연마속도에 기인하여 요철부(디싱)(153)이 형성된다.

이어, 배선형성용 절연막(114c) 및 제 1 층 배선(M1)상에 평탄화층(114a)을 형성한다. 평탄화층(114a)은 예를 들어 SOG막으로 할 수 있다. 또한, SOG막은 유기, 무기 어느 것이든 좋고, 또 SOG막을 대신하여 기체상태중에서의 실라놀의 생성과 저온 기판상에서의 실라놀의 반응에 의해 형성되는 실리콘산화막으로 할 수도 있다는 것은 상기한 바와 같다. 이와 같이, 평탄화층(114a)을 형성함으로써 제 1 층 배선(M1) 표면의 요철부(153)을 흡수하여 평탄화층(114a)의 표면을 평탄하게 할 수 있다. 게다가, 절연막(114b)을 퇴적하여 배선층간절연막(114)의 형성을 완료한다 (도 71). 절연막(114b)은 예를 들어 CVD법에 의해 형성할 수 있고, 실리콘산화막으로 할 수 있다. 배선층간절연막(114)의 표면은 평탄화층(114a)의 존재에 의해 평탄하게 할 수 있고, 이로써 그 후의 공정 특히 플러그(116)의 형성공정에 있어서 요철부(153)에서 기인하는 전도성의 잔류물을 발생시키는 일이 없다. 이로써 반도체집적회로장치의 소정의 성능을 확보하고 그 신뢰성과 수율을 향상할 수 있다.

이상, 본 발명자에 의해 행하여진 발명을 발명의 실시예에 기초하여 구체적으로 설명하였으나, 본 발명은 상기 실시예에만 한정되는 것이 아니고, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경가능하다.

예를 들어, 주전도층이 구리인 경우를 예시하였으나 텅스텐 혹은 알루미늄의 경우라도 좋다.

또, 배선층간절연막에 브로킹층을 설치한 예에 대해 설명하였으나, 이들 브로킹층은 필수이지는 않고 설치하지 않아도 좋다.

또한, 실시예 3, 4, 6에서, 배선층간절연막(121), (126), (131)이 브로킹층(121a), (126a), (131a)와 평탄화층(121b), (126b), (131b)와 절연막(121c), (126c), (131c)와의 3층구성의 경우를 예시하고 있으나, 브로킹층(121a), (126a), (131a)와 평탄화층(121b), (126b), (131b)와의 사이에 도 72에서 도시하는 절연막(121d), (126d), (131d)가 형성되어도 좋다. 절연막(121d), (126d), (131d)는 예를 들어 CVD법에 의해 형성된 실리콘산화막으로 할 수 있다.

또, 브로킹층(121a), (126a), (131a)는 필수는 아니다. 이 경우, 제 2 ~ 제 4 층 배선(M2 ~ M4)의 형성 후에 구리 등의 확산을 막는 작용을 가지는 박막 예를 들어 질화티타늄(Tin)막을 퇴적하고, 이 후 경질 패드 등을 이용하고 CMP법에 의해 연마하여 배선형성용 절연막(117), (124), (129)상의 상기 질화티타늄막을 제거하는 방법 등에 의해 브로킹작용을 가지는 피막을 제 2 ~ 제 4 층 배선(M2 ~ M4)의 각각의 상부에 형성할 수 있다.

또, 실시예 3 ~ 6의 제 2 층 배선(M2), 제 3 층 배선(M3), 제 4 층 배선(M4)을 실시예 1, 2의 배선(18)과 같이 듀얼다마신법으로 형성할 수 있다. 예를 들어, 도 74는 실시예 3의 제 2, 제 3, 제 4 층 배선(M2), (M3), (M4)에 듀얼다마신법을 적용한 예를 도시한다. 또, 도 75는 실시예 4의 제 2, 제 3, 제 4 층 배선(M2), (M3), (M4)에 듀얼다마신법을 적용한 예를 도시한다. 또, 도 76은 실시예 5의 제 2, 제 3, 제 4 층 배선(M2), (M3), (M4)에 듀얼다마신법을 적용한 예를 도시한다. 또, 도 77은 도 72에서 도시한 반도체집적회로장치의 제 2, 제 3, 제 4 층 배선(M2), (M3), (M4)에 듀얼다마신법을 적용한 예를 도시한다.

또, 제 1 ~ 제 5 층 배선(M1 ~ M5)까지의 배선에 한정되지 않고 제 6, 제 7 등 그 상층의 배선을 형성할 수도 있다.

발명의 효과

본 발명에서 개시된 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

- (1) CMP법에 의해 절연막에 형성된 배선을 또는 접속공내에 매립하여 형성된 전도성부재(예를 들어 배선, 플러그)상의 절연막의 표면평탄성을 향상할 수 있다.
- (2) CMP법에 의해 절연막에 형성된 배선을 또는 접속공 내에 매립하여 형성된 전도성부재 상의 제 2 전도성 부재의 쇼트불량을 막을 수 있고, 반도체집적회로장치의 수율 및 신뢰성을 향상할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판의 주면에 형성된 반도체소자와, 상기 반도체소자의 상부에 형성되고 그 일부에 형성된 요철부에 연마법을 이용하여 형성된 전도성부재가 채워 넣어진 제 1 절연막과, 상기 제 1 절연막의 상면에 형성되어 그 일부에 형성된 요철부에 연마법을 이용하여 형성된 전도성부재가 채워 넣어진 제 2 절연막을 갖는 반도체집적회로장치에서,

상기 제 2 절연막에는 자기유동성을 가지는 유동성절연막이 포함되는 것을 특징으로 하는 반도체집적회로장치.

청구항 2

청구항 1에 있어서,

상기 유동성절연막은 상기 제 2 절연막의 표면을 평탄화하도록 구성되는 것을 특징으로 하는 반도체집적회로장치.

청구항 3

청구항 2에 있어서,

상기 제 2 절연막의 요철부는 배선홀을 구성하고, 상기 제 2 절연막의 전도성부재는 상기 배선홀에 형성된 배선을 구성하고, 상기 유동성절연막의 상부에 상기 배선홀이 형성되는 것을 특징으로 하는 반도체집적회로장치.

청구항 4

청구항 2에 있어서,

상기 제 2 절연막의 요철부는 배선홀과 접속공을 구성하고, 상기 제 2 절연막의 전도성부재는 상기 배선홀에 형성된 배선과 상기 접속공에 형성된 플러그를 구성하고, 상기 유동성절연막은 상기 배선홀 간에 형성되는 것을 특징으로 하는 반도체집적회로장치.

청구항 5

청구항 2에 있어서,

상기 제 2 절연막의 요철부는 배선홀과 접속공을 구성하고, 상기 제 2 절연막의 전도성부재는 상기 배선홀에 형성된 배선과 상기 접속공에 형성된 플러그를 구성하고, 상기 유동성절연막은 상기 배선홀 간에 형성되는 제 1 유동성절연막과 상기 배선홀의 하부에 형성되는 제 2 유동성절연막을 가지는 것을 특징으로 하는 반도체집적회로장치.

청구항 6

청구항 1에 있어서,

상기 제 2 절연막의 요철부는 상기 제 2 절연막의 표면 근방에 형성된 배선홀과 상기 배선홀의 하부에 형성된 접속공으로 이루어지고, 상기 전도성부재는 상기 배선홀에 형성된 배선부와 상기 접속공에 형성된 접속부가 일체로서 형성되는 것을 특징으로 하는 반도체집적회로장치.

청구항 7

청구항 1에 있어서,

상기 제 2 절연막은 자기유동성을 갖지 않는 비유동성절연막과 상기 유동성절연막 및 상기 비유동성절연막이 적층된 3층구조를 가지는 것을 특징으로 하는 반도체집적회로장치.

청구항 8

청구항 1에 있어서,

상기 유동성절연막은 SOG막인 것을 특징으로 하는 반도체집적회로장치.

청구항 9

청구항 8에 있어서,

상기 SOG막은 무기 SOG막인 것을 특징으로 하는 반도체집적회로장치.

청구항 10

청구항 1에 있어서,

상기 유동성절연막은 기체상태중에서의 시라놀의 생성과 저온 기판상에서의 상기 시라놀의 반응에 의해 형성되는 실리콘산화막인 것을 특징으로 하는 반도체집적회로장치.

청구항 11

청구항 1에 있어서,

상기 요철부, 배선홀 또는 접속공의 폭 W 는 그 최대폭 W_{max} 와 최소폭 W_{min} 과의 범위내에 있고, $W_{max} \leq 4 \times W_{min}$ 의 조건을 만족하는 것을 특징으로 하는 반도체집적회로장치.

청구항 12

반도체기판의 주면에 형성된 반도체소자와, 상기 반도체소자의 상부에 형성되고 그 일부에 형성된 요철부에 연마법을 이용하여 형성된 전도성부재가 매립된 제 1 절연막과, 상기 제 1 절연막의 상면에 형성되고 그 일부에 형성된 요철부에 연마법을 이용하여 형성된 전도성부재가 매립된 제 2 절연막을 갖는 반도체집적회로장치의 제조방법에서,

상기 제 2 절연막을 자기유동성을 가지는 유동성절연막과 연마법에 의해 평탄화된 절연막으로 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 13

청구항 12에 있어서,

상기 요홈부 또는 배선홀에 형성된 배선의 상면에는 상기 배선을 구성하는 금속원소의 확산을 방지하는 확산방지막이 형성되어 있는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 14

청구항 13에 있어서,

상기 확산방지막은 플라스마 CVD법에 의해 형성된 실리콘산화막인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 15

(a) 반도체기판상에 형성된 제 1 절연막에 요홈부를 형성하는 공정과,

(b) 상기 요홈부의 내부를 포함하는 상기 제 1 절연막의 표면에 상기 요홈부를 매립한 제 1 전도성막을 형성하는 공정과,

(c) 상기 제 1 전도성막을 연마하고 상기 제 1 절연막의 요홈부 내에 상기 제 1 전도성막을 남김으로써 상기 제 1 전도성부재를 형성하는 공정과,

(d) 상기 제 1 전도성부재의 상부에 자기유동성을 가지는 유동성절연막을 포함하는 제 2 절연막을 형성하는 공정과,

(e) 상기 제 2 절연막에 요홈부를 형성하는 공정과,

(f) 상기 제 2 절연막의 요홈부를 매립한 제 2 전도성부재를 형성하는 공정과, 그리고

(g)상기 제 2 전도성막을 연마하고 상기 제 2 절연막의 요홈부에 제 2 전도성부재를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 16

청구항 15에 있어서,

상기 유동성절연막은 상기 반도체기판에 SOG막을 도포하고, 열처리하는 것으로 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 17

청구항 15에 있어서,

상기 유동성절연막은 상기 반도체기판을 감압분위기 하의 반응실에 100℃이하의 저온에서 보지하고, 상기 반응실 내에 $\text{SiH}_x\text{M}_{4-x}$ (단 M은 탄소수 1 ~ 3의 알킬기, $1 \leq x \leq 4$) 및 H_2O_2 를 도입하여 시라놀을 생성하고, 상기 시라놀이 퇴적한 상기 반도체기판을 열처리하는 것으로 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 18

청구항 15에 있어서,

상기 제 1 전도성부재가 형성되는 상기 요홈부의 폭(W)는, 그 최대폭 (W_{\max})가 그 최소폭(W_{\min})의 4배 이내($W_{\min} \leq W \leq 4 \times W_{\min}$)가 되도록 형성되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 19

청구항 18에 있어서,

상기(b)공정에서 상기 제 1 절연막의 요홈부에 매립된 상기 전도성막은 상기 최소폭(W_{\min})의 상기 요홈부에서의 그 표고(H1)과, 상기 최대폭(W_{\max})의 상기 요홈부에서의 그 표고(H2)와 거의 동일하고 ($H1 \approx H2$), 또한 상기 표고(H1) 및 (H2)는 상기 제 1 절연막의 표면의 표고(L1)보다도 높은 ($H1 \approx H2 > L1$) 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 20

청구항 18에 있어서,

상기(c)공정에서 연마된 상기 제 1 전도성부재는 상기 최소폭(W_{\min})의 상기 요홈부에서의 상기 제 1 전도성부재 표면의 디싱량(K1)과 상기 최대폭(W_{\max})의 상기 요홈부에서의 상기 제 1 전도성부재 표면의 디싱량(K2)와 거의 동일한 ($K1 \approx K2$) 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 21

청구항 15에 있어서,

상기 유동성절연막의 형성전에 CVD법을 이용한 실리콘산화막을 퇴적하고, 그 후 상기 유동성절연막을 형성하고, 게다가 CVD법에 의해 실리콘질화막을 퇴적함으로써 상기 제 2 절연막을 형성하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 22

청구항 15에 있어서,

상기 제 1 전도성부재의 형성 후, 상기 제 1 전도성부재의 표면을 덮는 확산방지막을 형성하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 23

청구항 22에 있어서,

상기 확산방지막으로서 실리콘질화막을 퇴적하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 24

반도체기판상에 형성된 요홈부를 가지는 제 1 절연막과,

상기 제 1 절연막의 요홈부에 연마법을 이용하여 형성된 전도성부재가 매립된 제 1 전도성막과,

상기 제 1 전도성막 및 제 1 절연막의 상부에 형성되고 요홈부를 가지는 제 2 절연막과,

그리고, 상기 제 2 절연막의 요홈부에 연마법을 이용하여 형성된 전도성부재가 매립된 제 2 전도성막으로 이루어지고, 상기 제 2 절연막은 자기유동성을 가지는 유동성절연막을 포함하는 것을 특징으로 하는 반도체집적회로장치.

청구항 25

청구항 24에 있어서,

상기 반도체기판 상에 형성된 제 3 절연막 상에 상기 제 1 절연막이 형성되고, 상기 제 3 절연막의 표면은 평탄화되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 26

청구항 15에 있어서,

상기 반도체기판 상에 형성된 제 3 절연막 상에 상기 제 1 절연막이 형성되도, 상기 제 3 절연막의 표면은 평탄화되어 있는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 27

청구항 12에 있어서,

상기 반도체기판상에 형성된 제 3 절연막 상에 상기 제 1 절연막이 형성되도, 상기 제 3 절연막의 표면은 평탄화되어 있는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 28

청구항 1에 있어서,

상기 반도체기판 상에 형성된 제 3 절연막 상에 상기 제 1 절연막이 형성되고, 상기 제 3 절연막의 표면은 평탄화되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 29

청구항 22에 있어서,

상기 확산방지막 상에 상기 제 2 절연막이 형성되고, 상기 확산방지막은 상기 제 2 절연막을 에칭할 때 에칭스토퍼층으로서 작용하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 30

청구항 15에 있어서,

상기 제 2 전도성막을 형성하기 전에 상기 제 1 전도성부재가 수소분위기 중에서 어닐(anneal)되는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 31

청구항 24에 있어서,

상기 제 1 전도성부재 형성 후, 상기 제 1 전도성부재를 덮는 확산방지막을 형성하고,

상기 확산방지막 상에 상기 제 2 절연막이 형성되고,

상기 확산방지막은 상기 제 2 절연막을 에칭할 때 에칭스토퍼층으로서 작용하는 것을 특징으로 하는 반도체집적회로장치.

청구항 32

청구항 24에 있어서,

상기 제 2 전도성막을 형성하기 전에 상기 제 1 전도성부재에 수소분위기 중으로 어닐하는 것을 특징으로 하는 반도체집적회로장치.

청구항 33

청구항 1에 있어서,

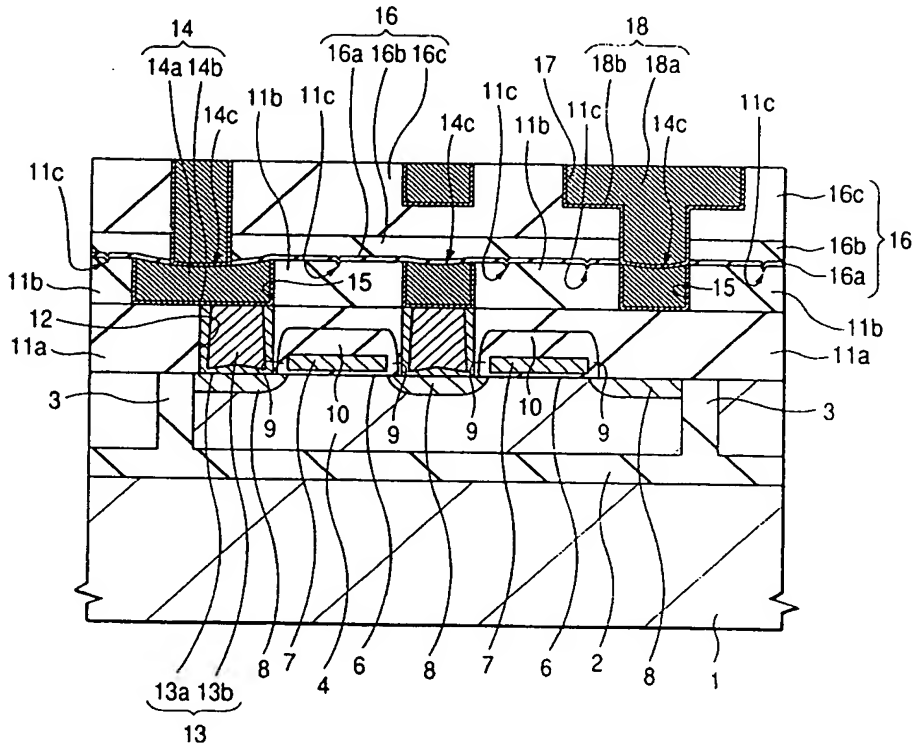
상기 제 1 전도성부재를 덮는 확산방지막이 형성되고,

상기 확산방지막 상에 상기 제 2 절연막이 형성되고,

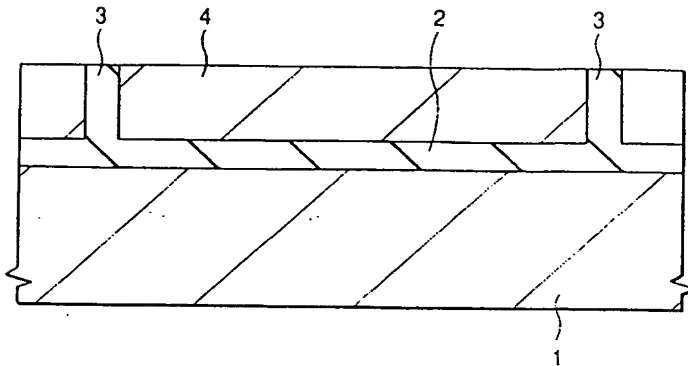
상기 확산방지막은 상기 제 2 절연막을 에칭할 때 에칭스토퍼층으로서 작용하는 것을 특징으로 하는 반도체집적회로장치.

도면

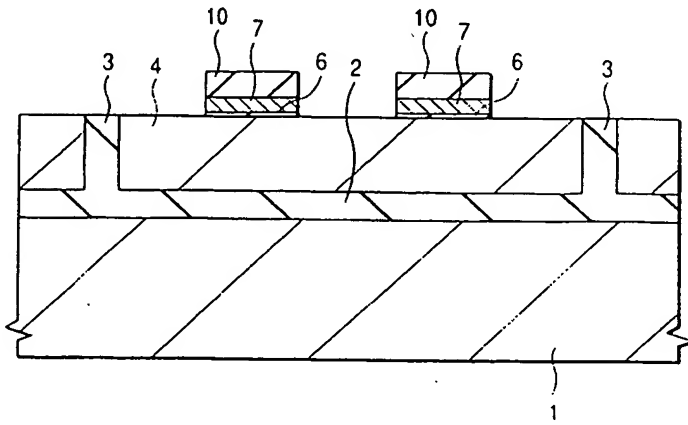
도면1



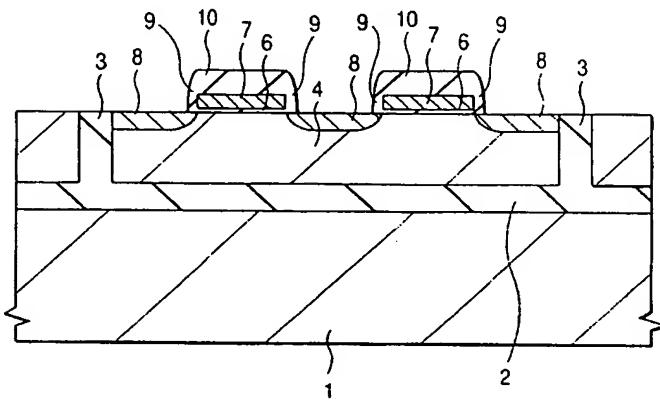
도면2



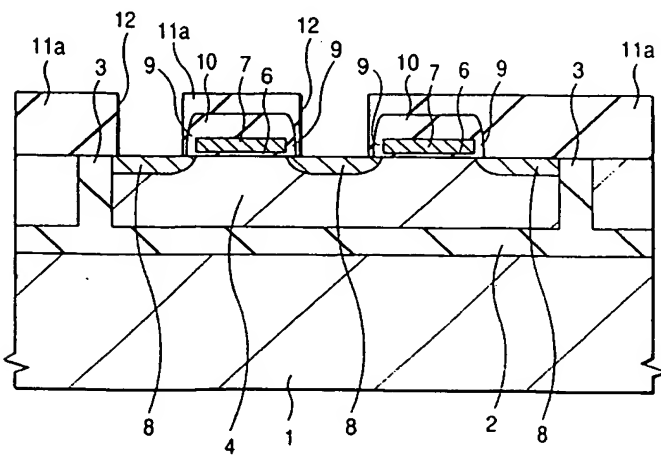
도면3



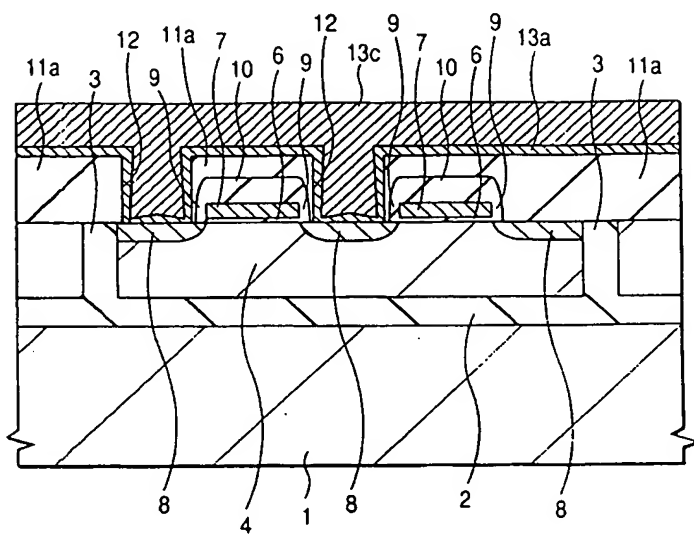
도면4



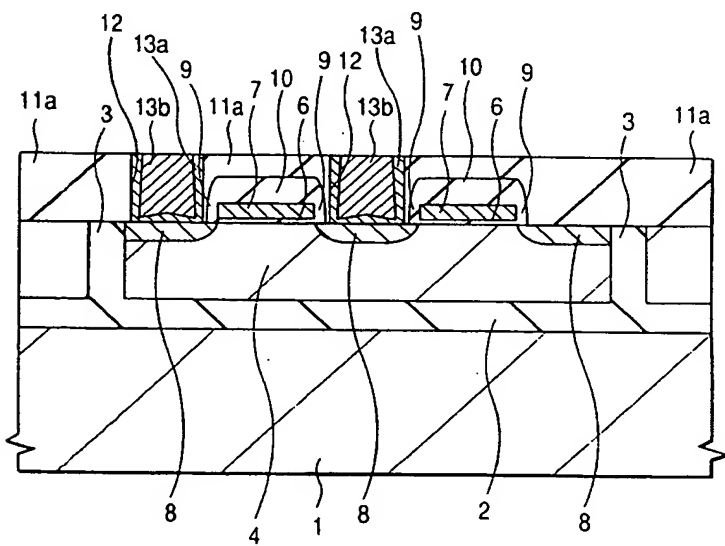
도면5



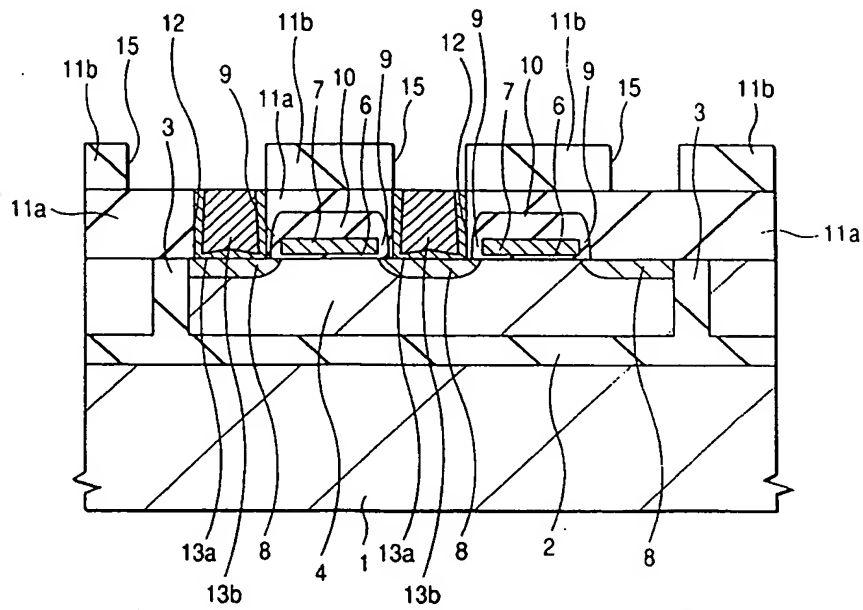
도면6



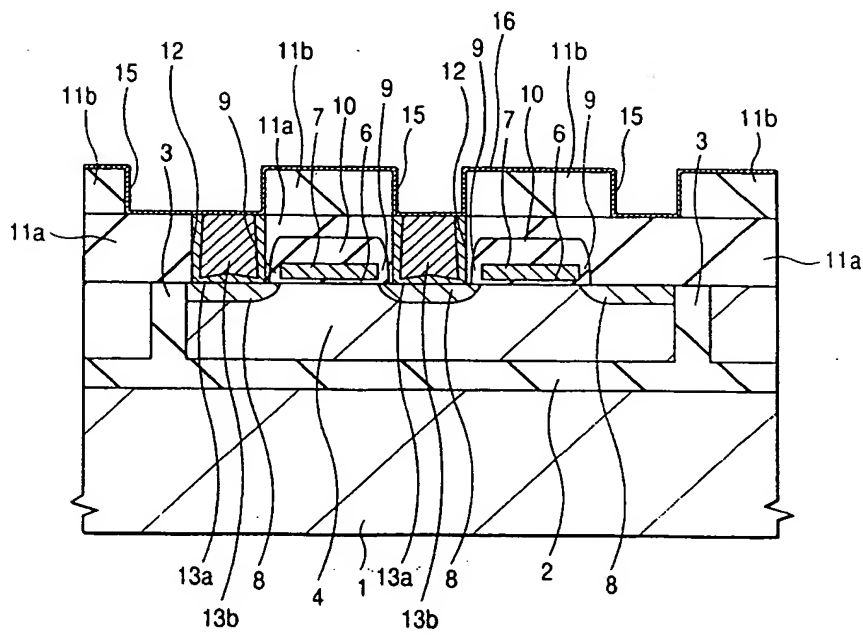
도면 7



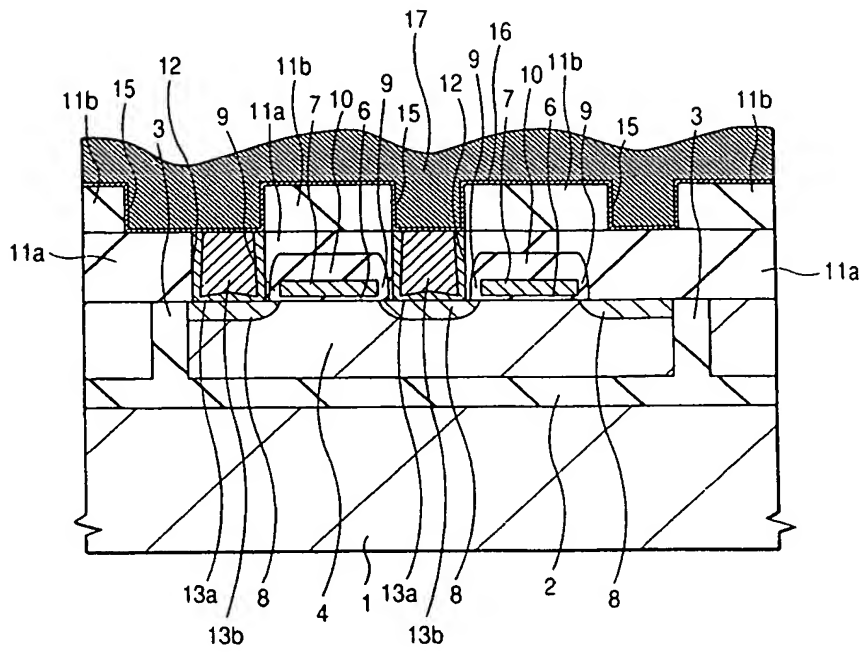
도면8



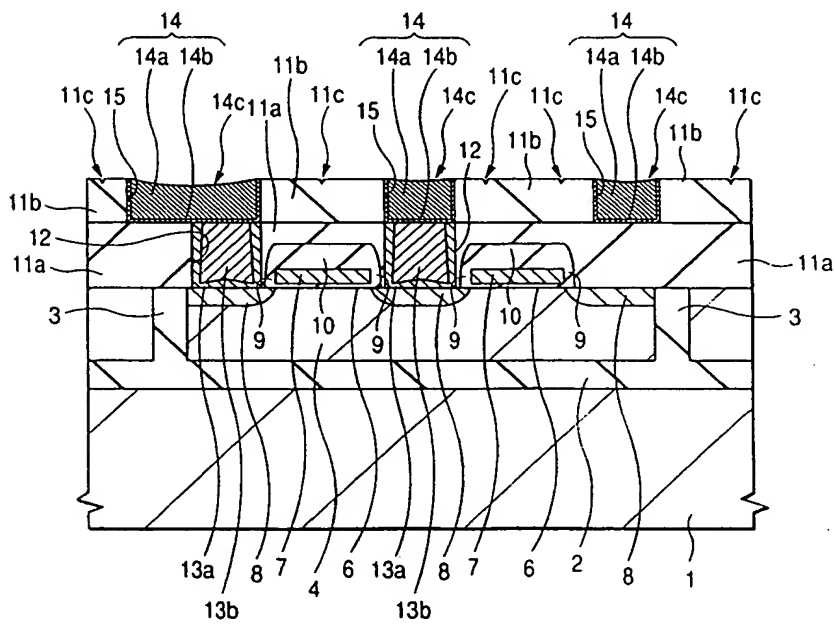
도면9



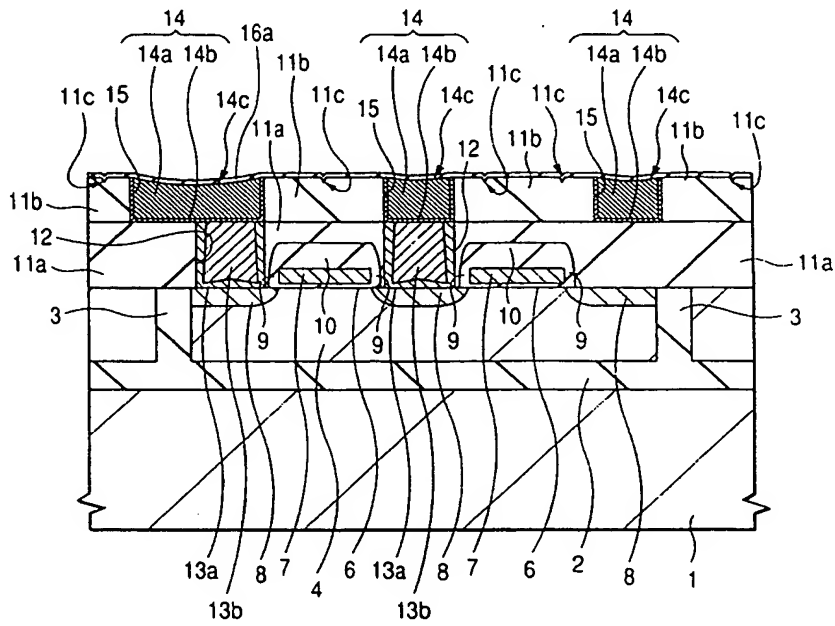
도면10



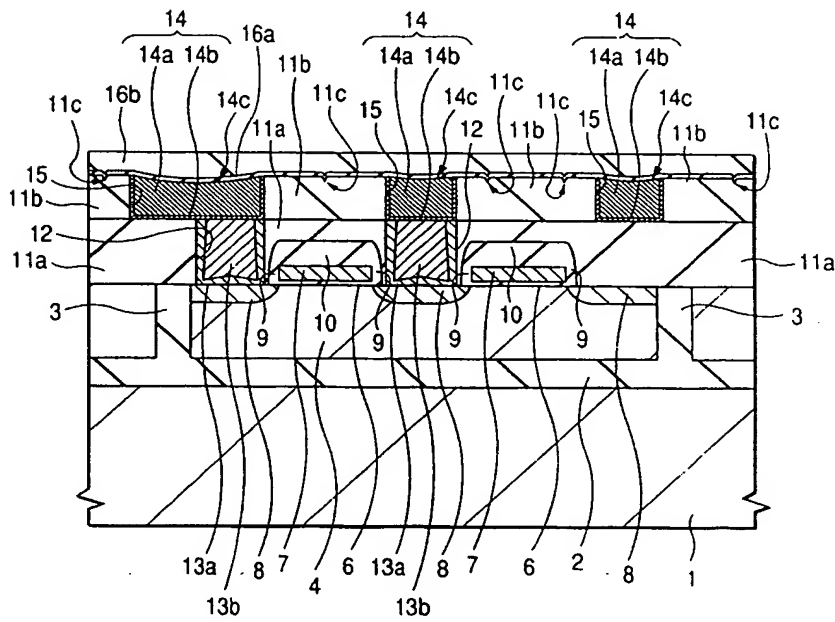
도면11



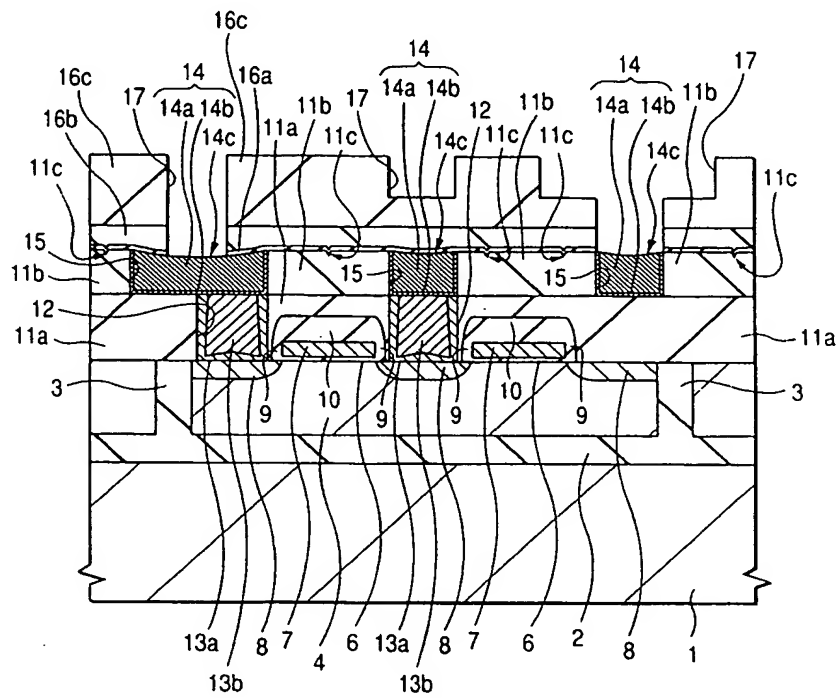
도면 12



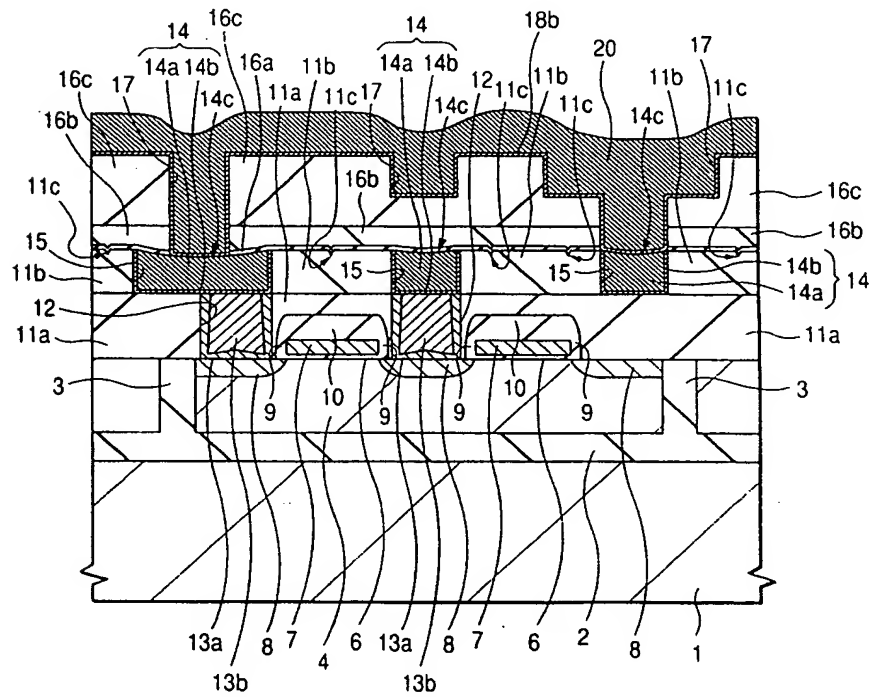
도면 13



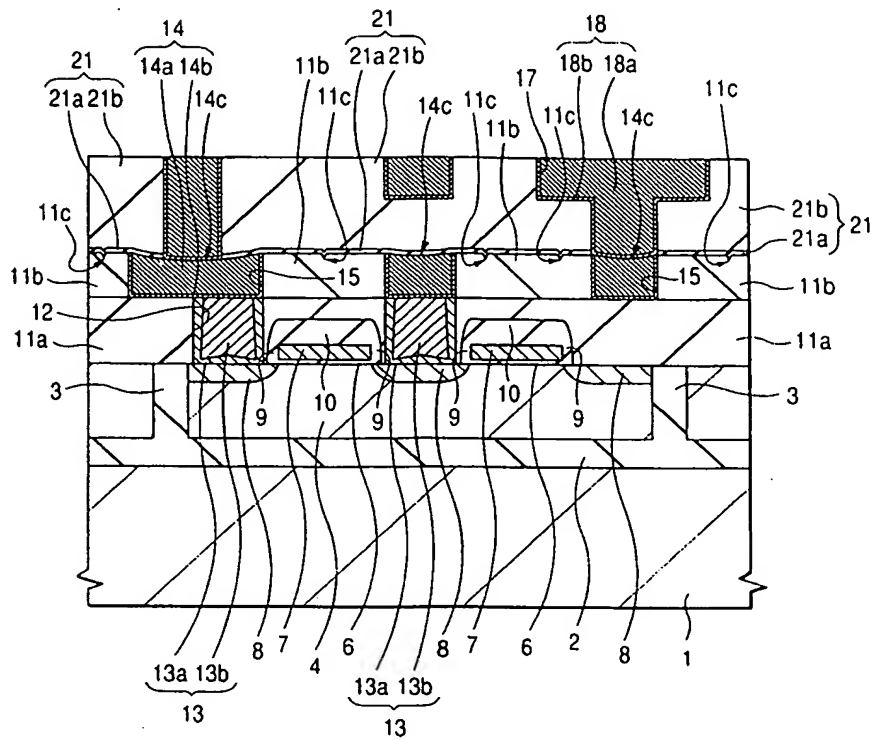
도면 14



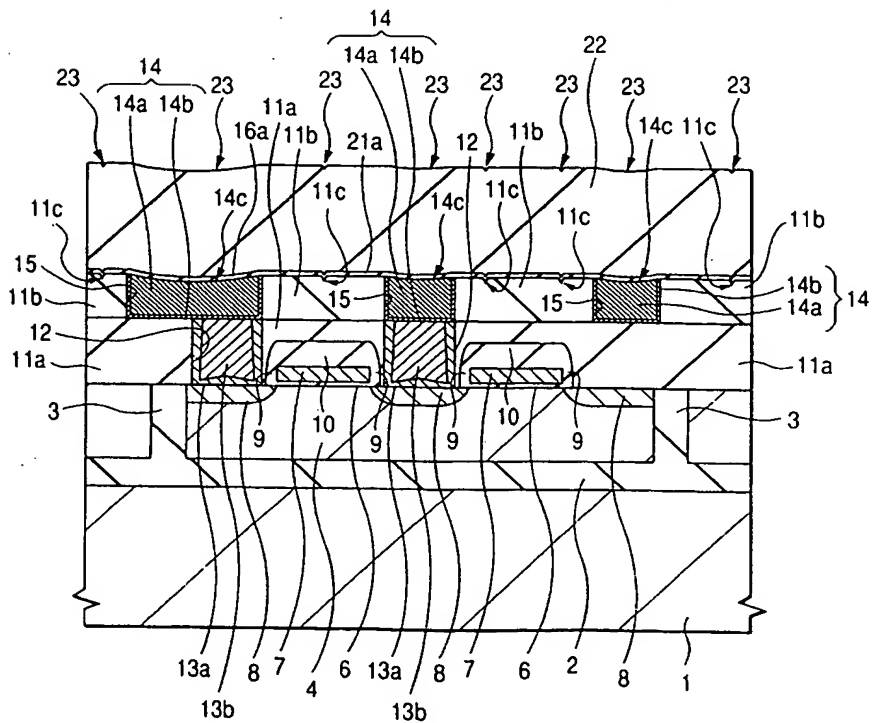
도면 15



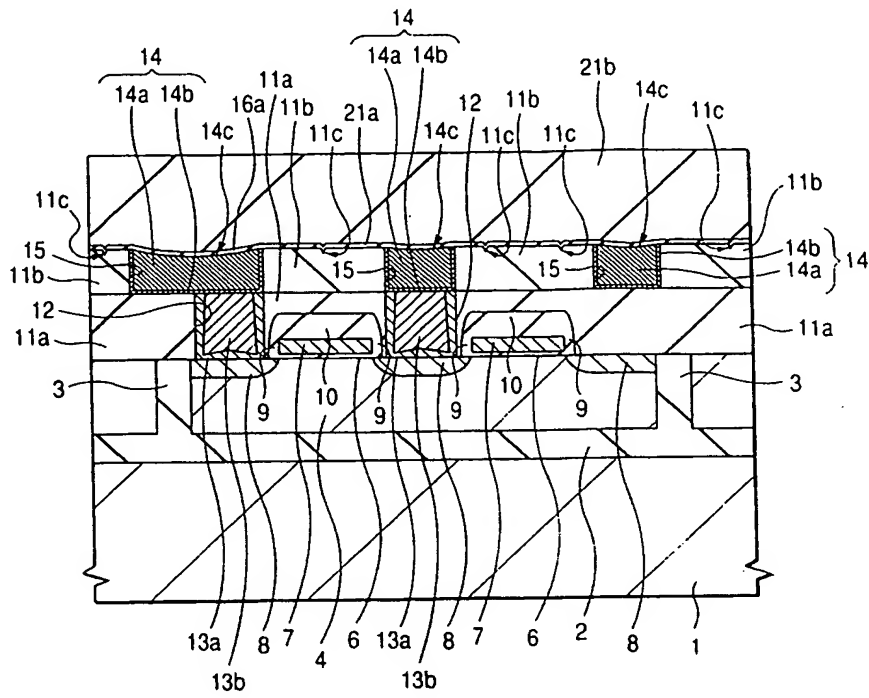
도면16



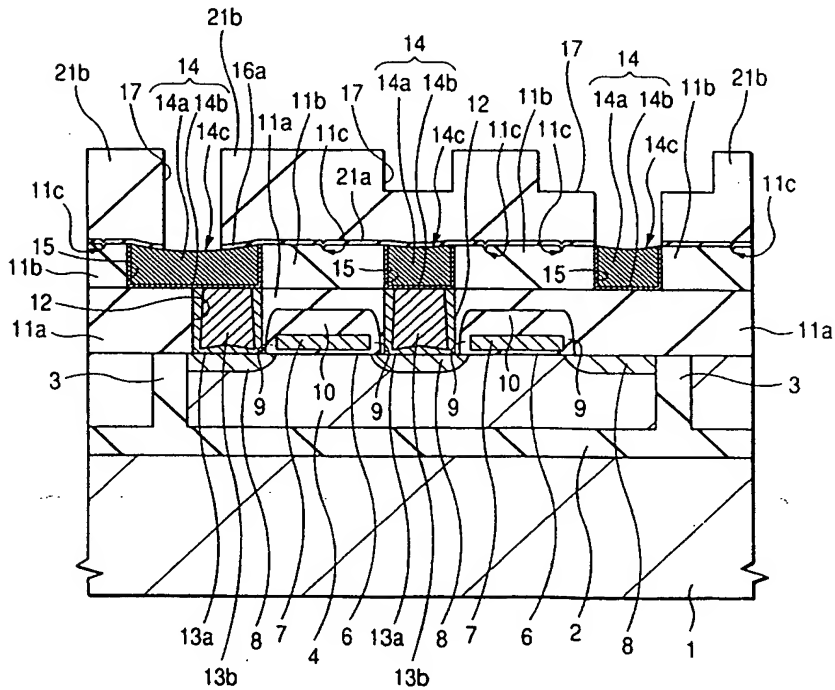
도면17



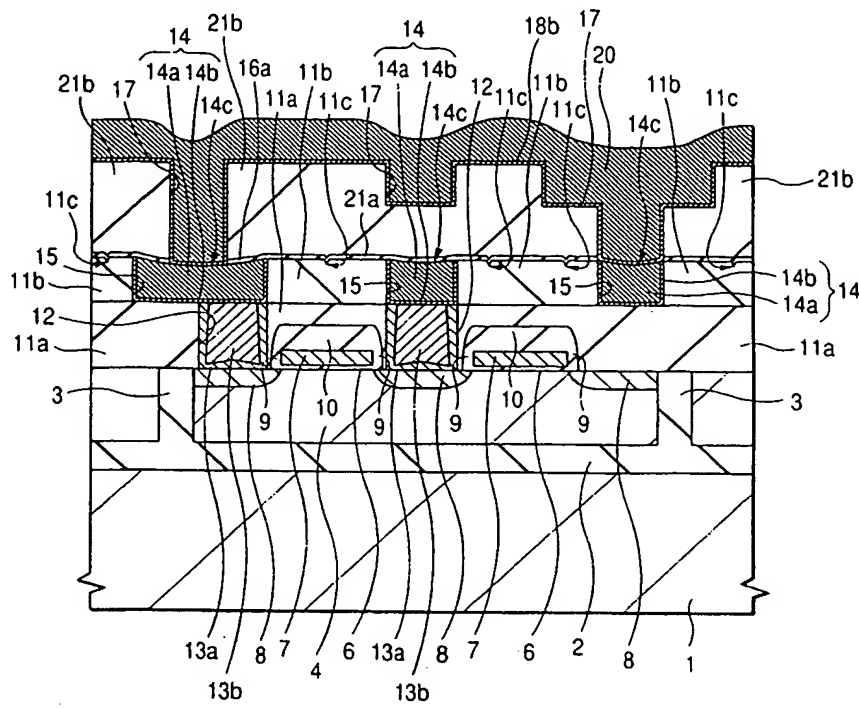
도면 18



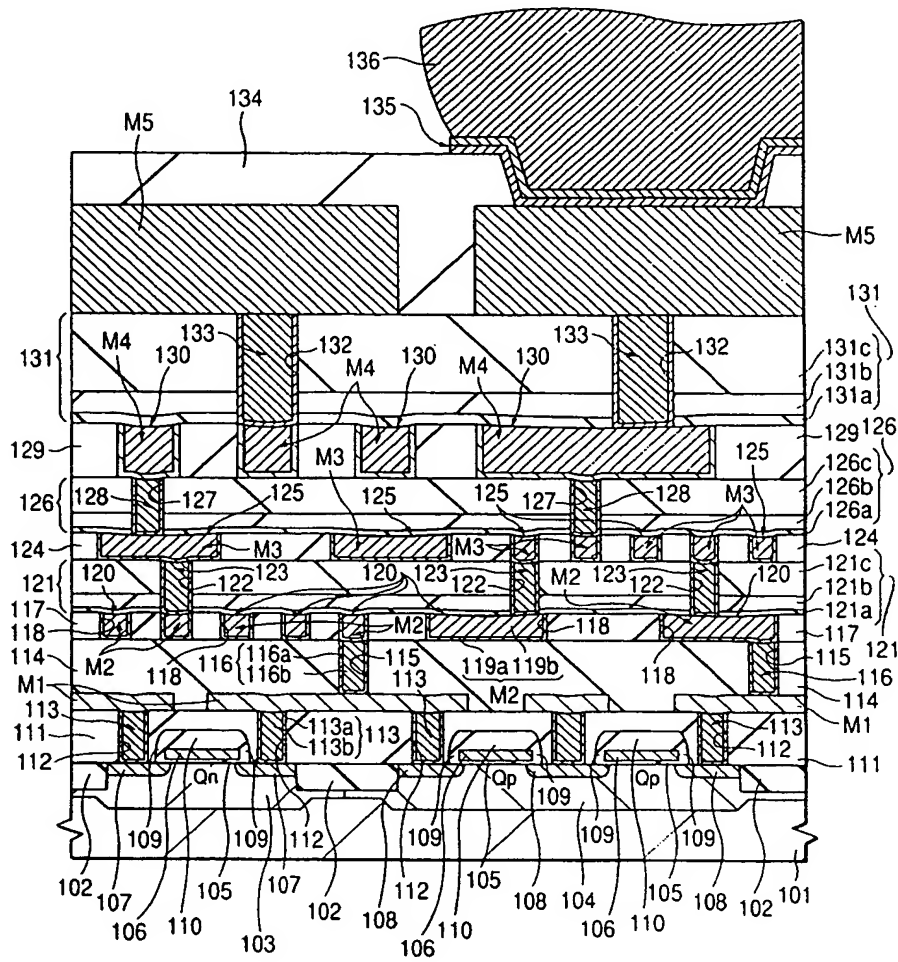
도면 19



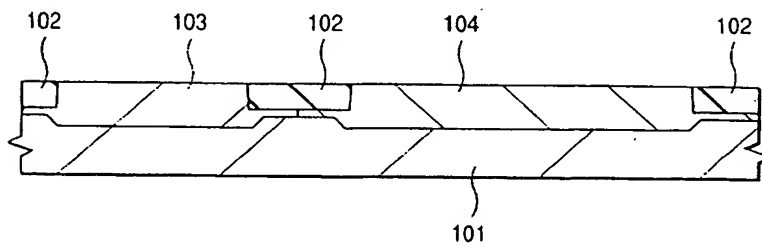
도면 20



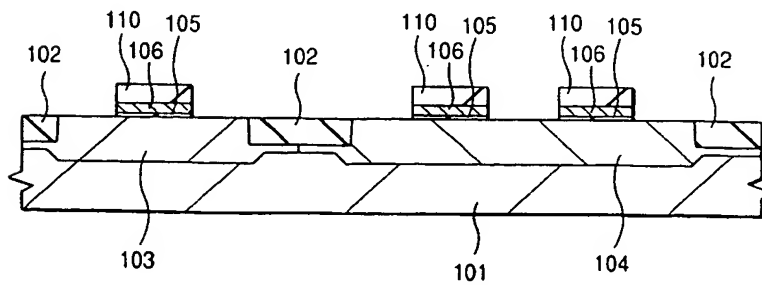
도면21



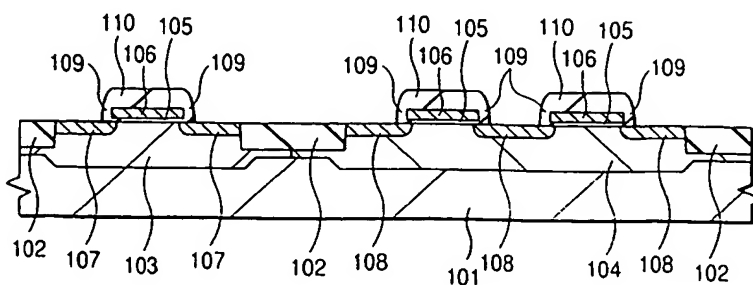
도면22



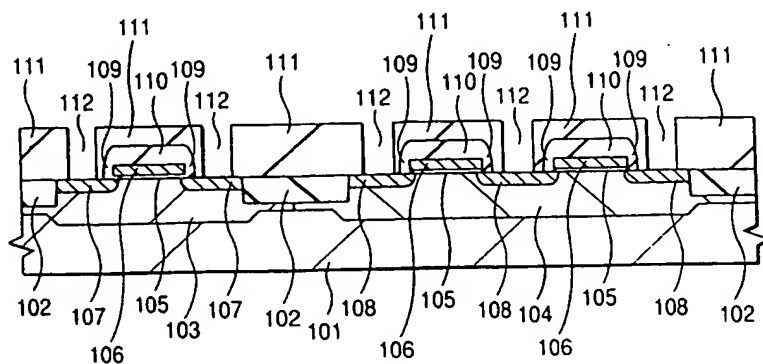
도면23



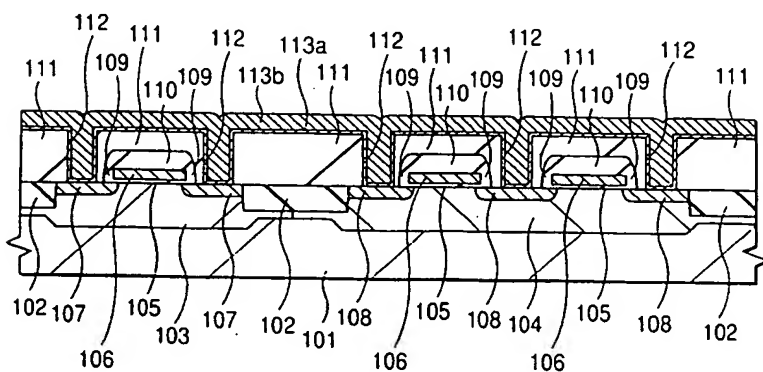
도면24



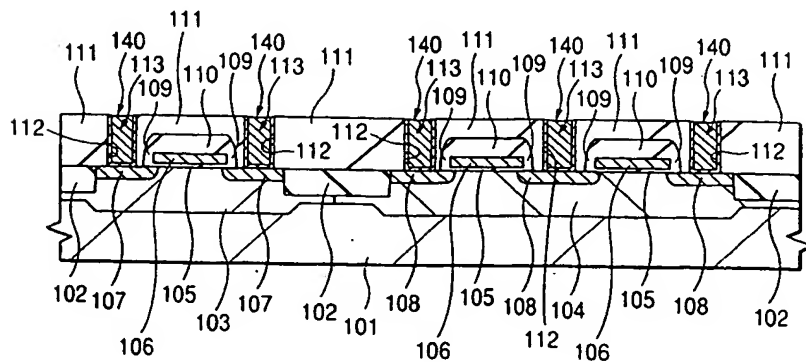
도면25



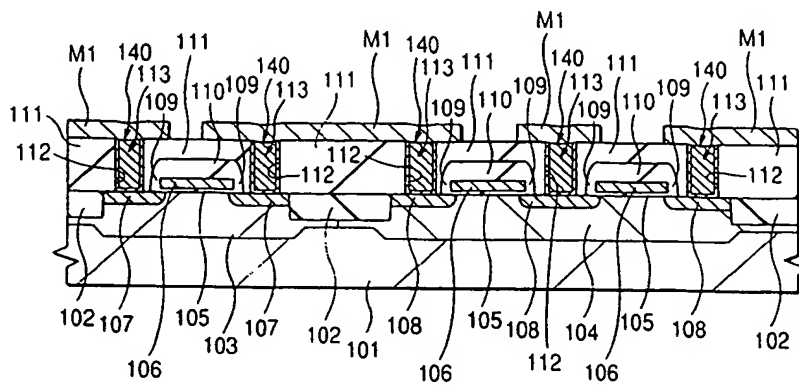
도면26



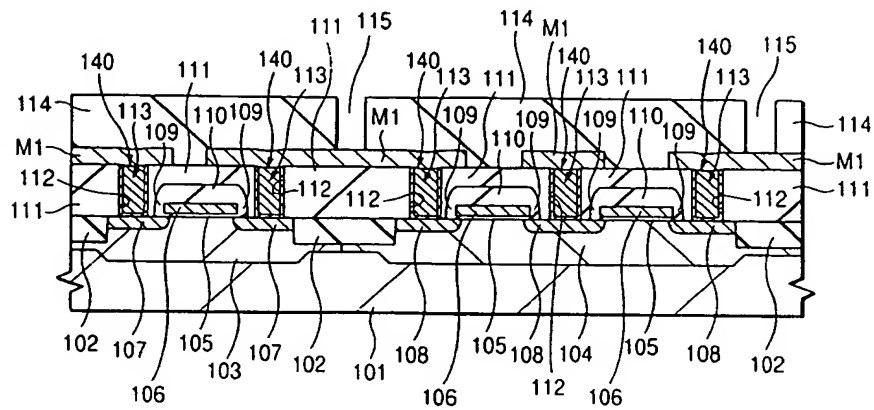
도면27



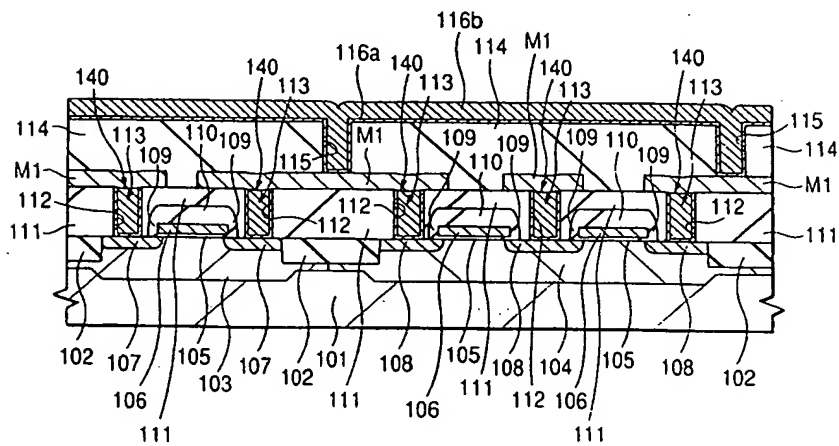
도면28



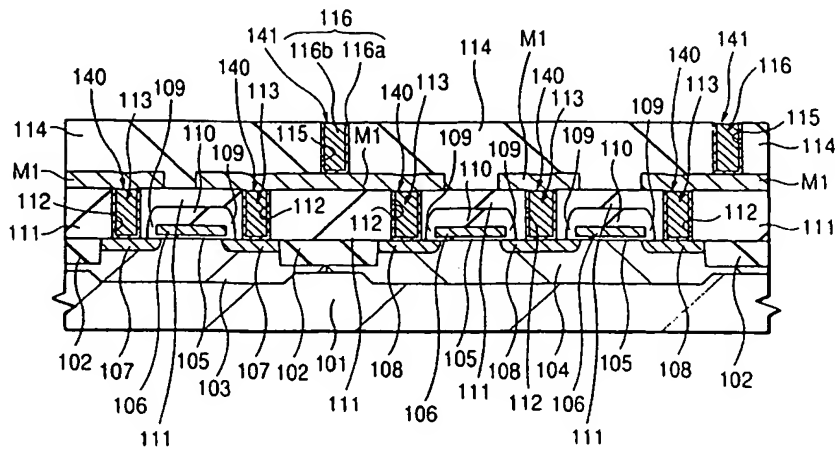
도면29



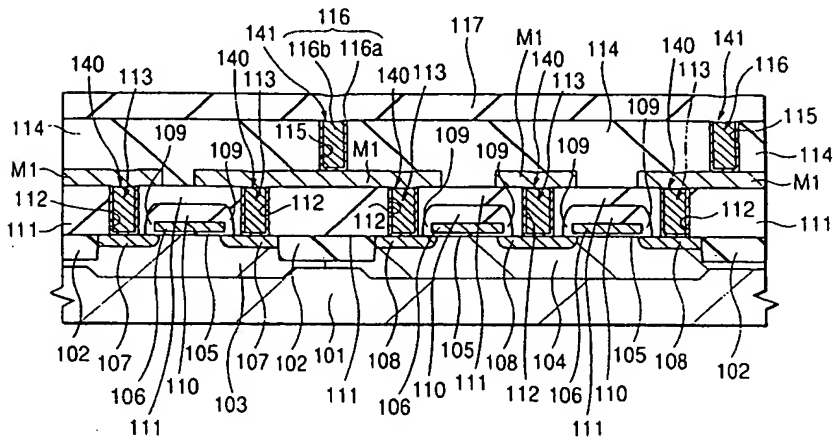
도면30



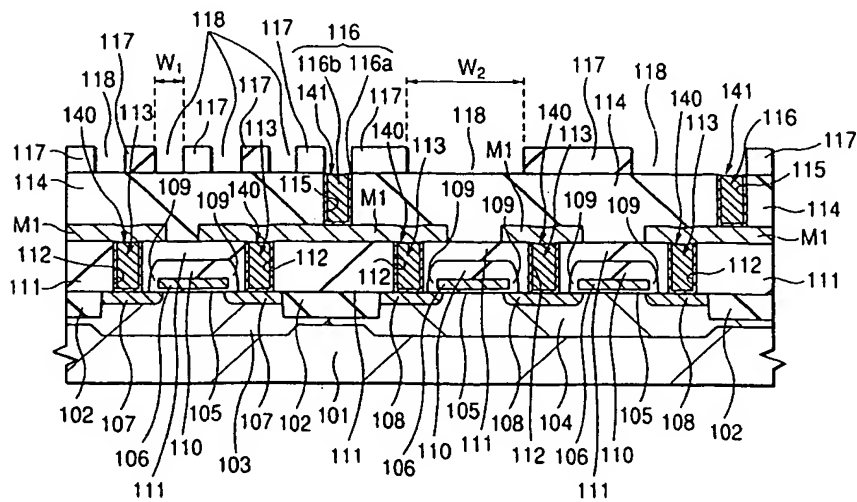
도면31



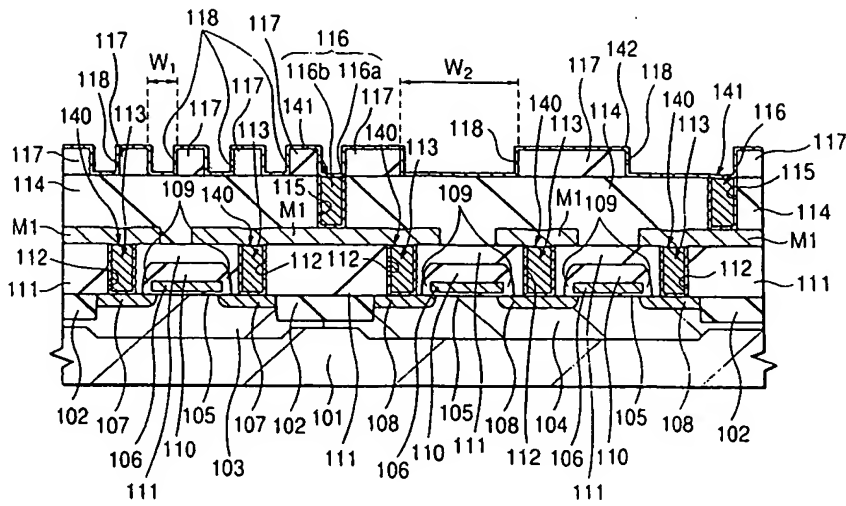
도면32



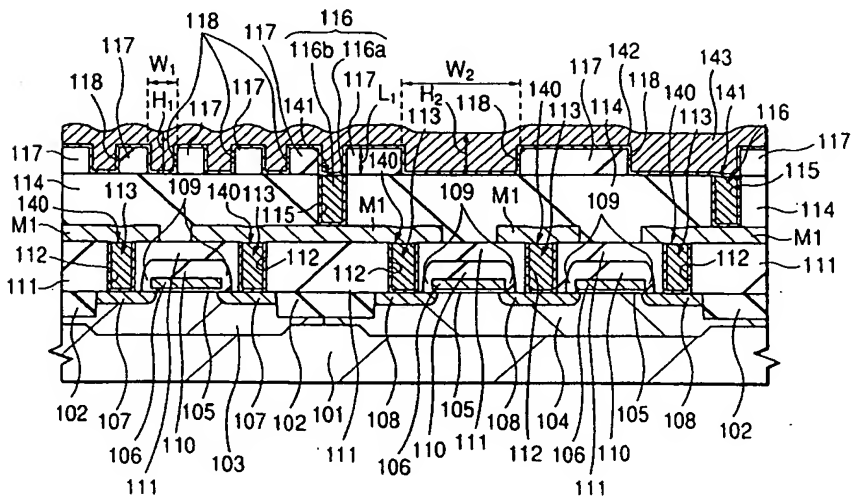
도면33



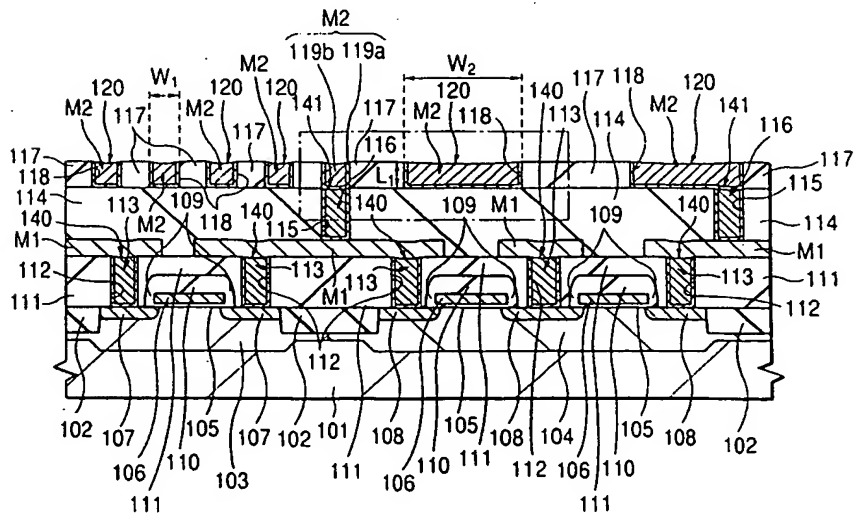
도면34



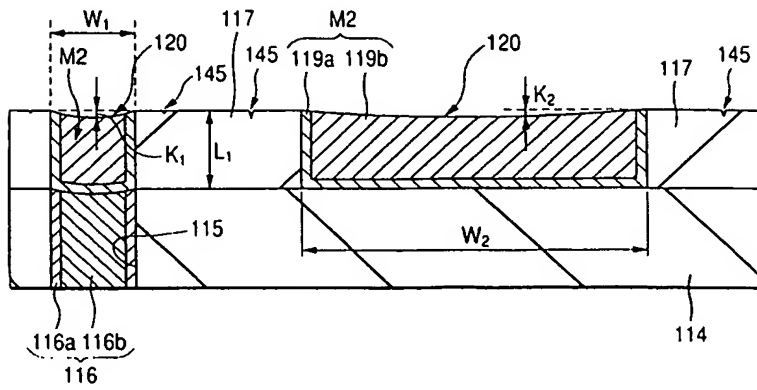
도면35



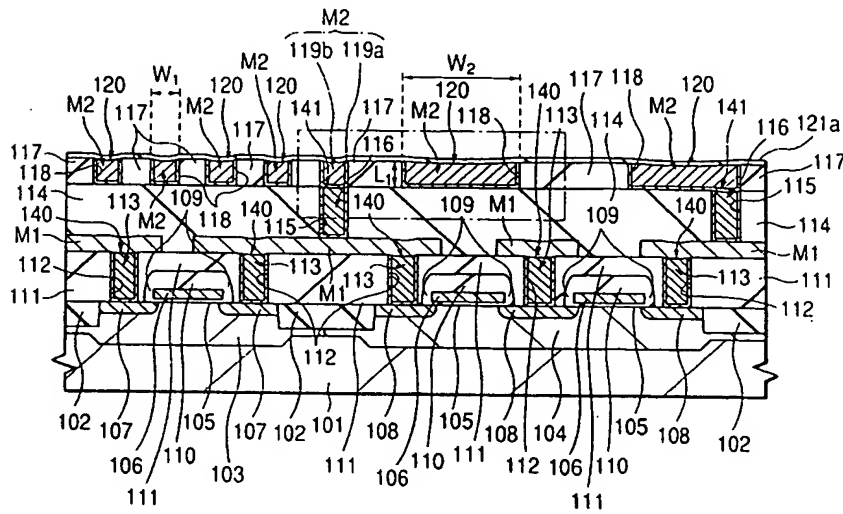
도면36



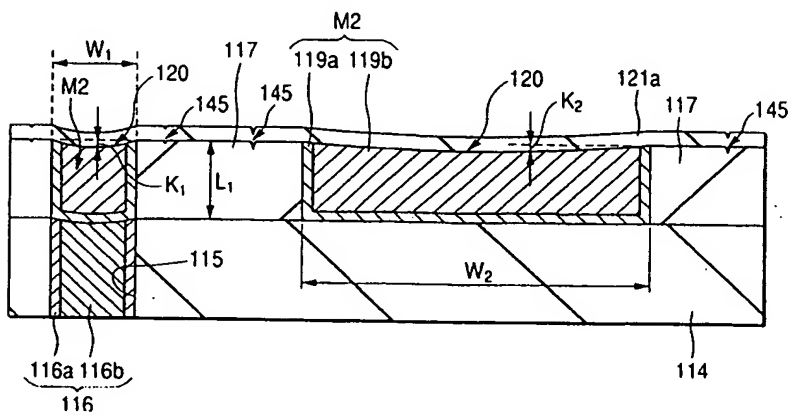
도면37



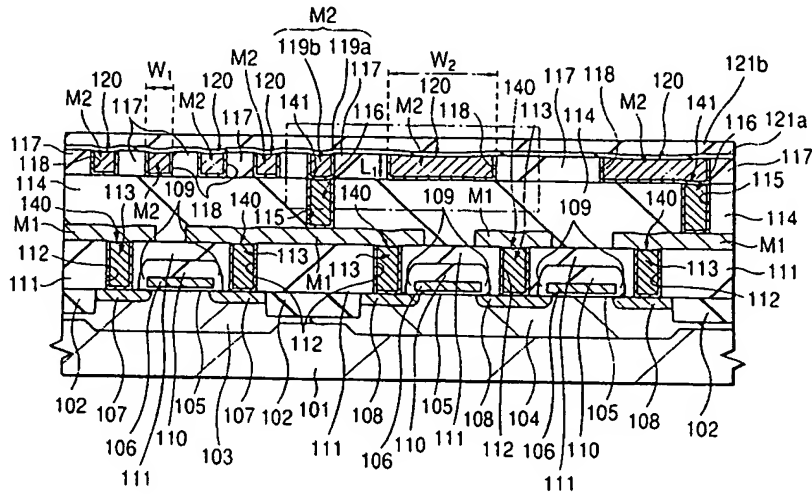
도면38



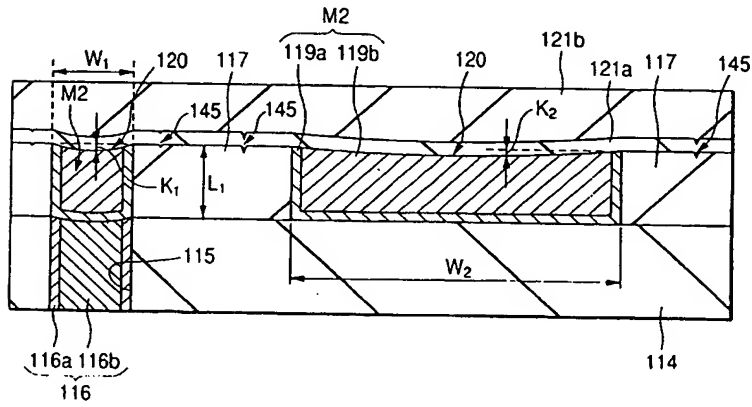
도면 39



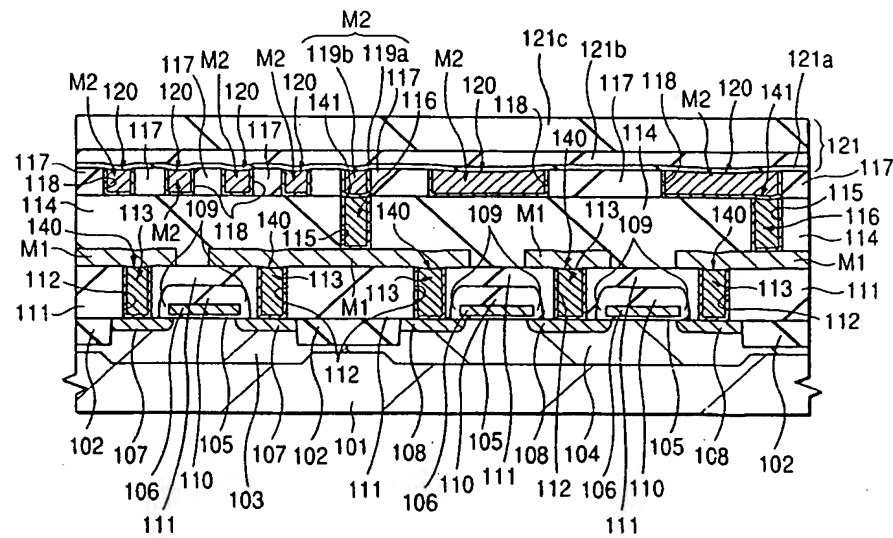
도면40



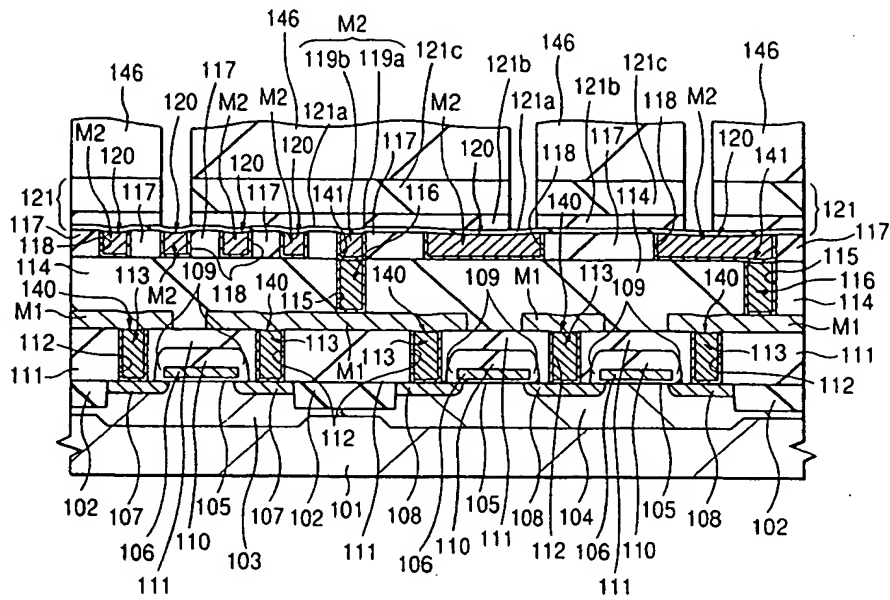
도면41



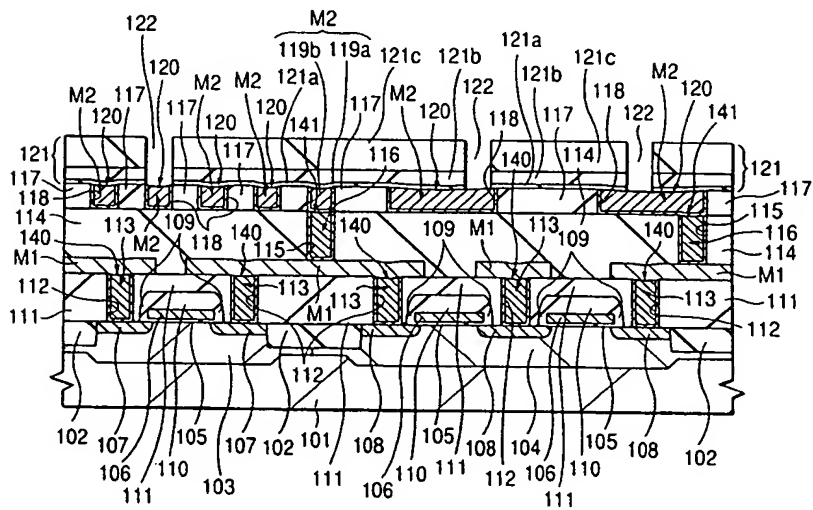
도면42



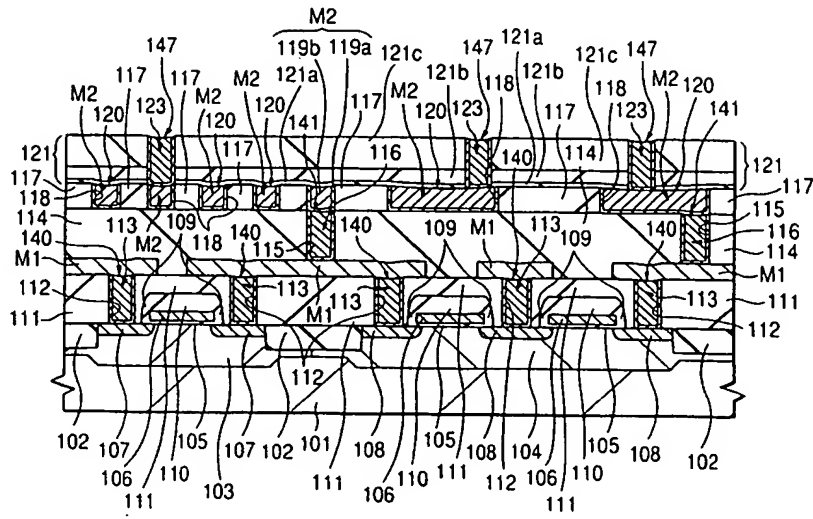
도면43



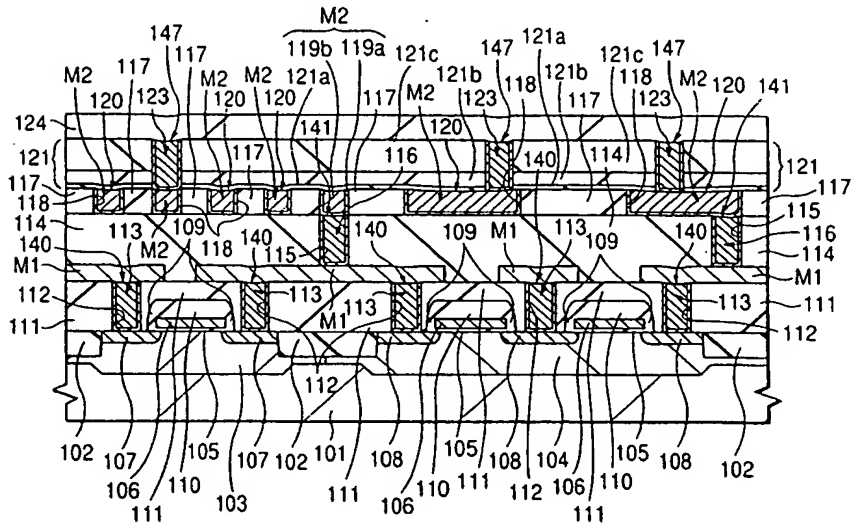
도면44



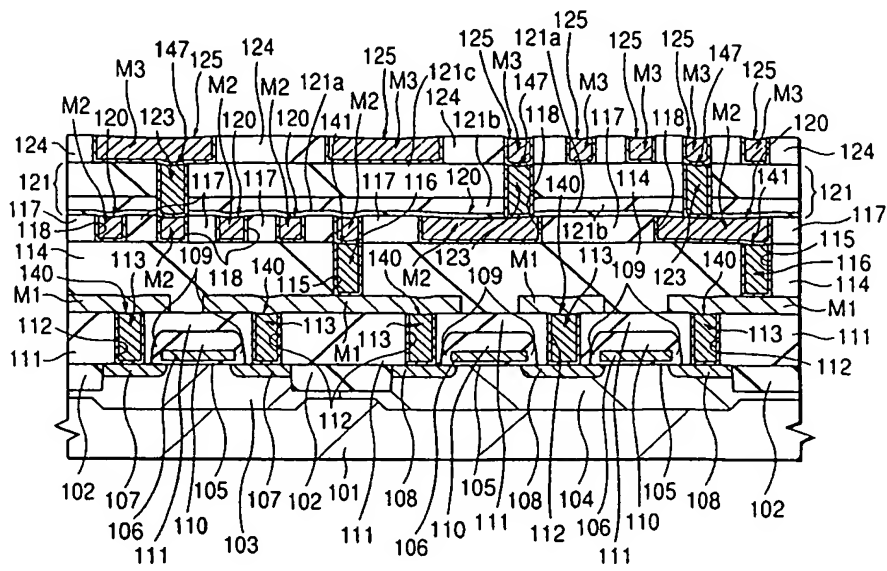
도면45



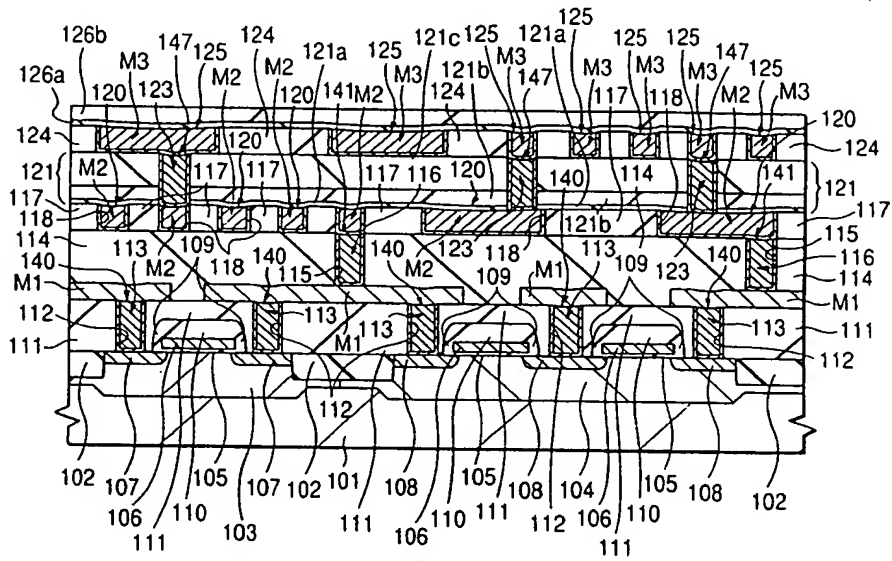
도면46



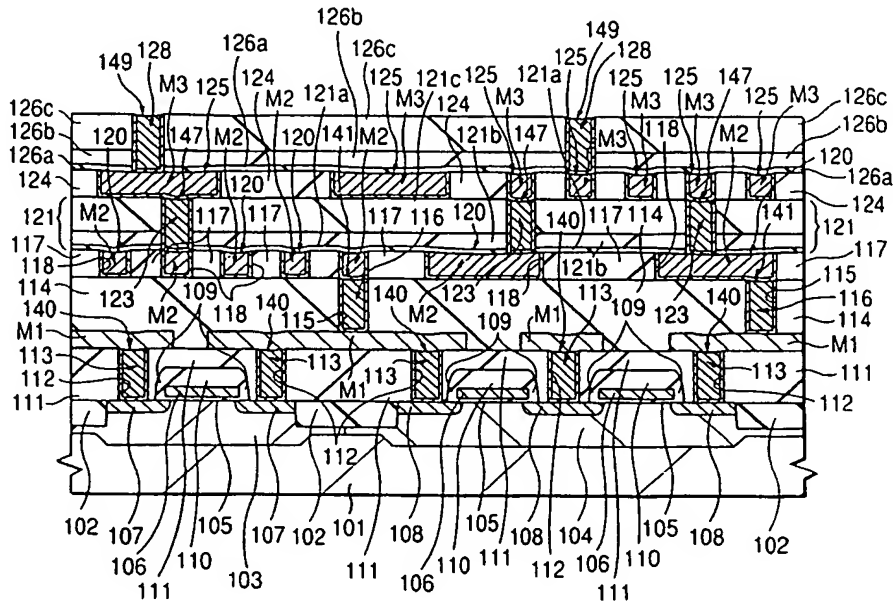
도면47



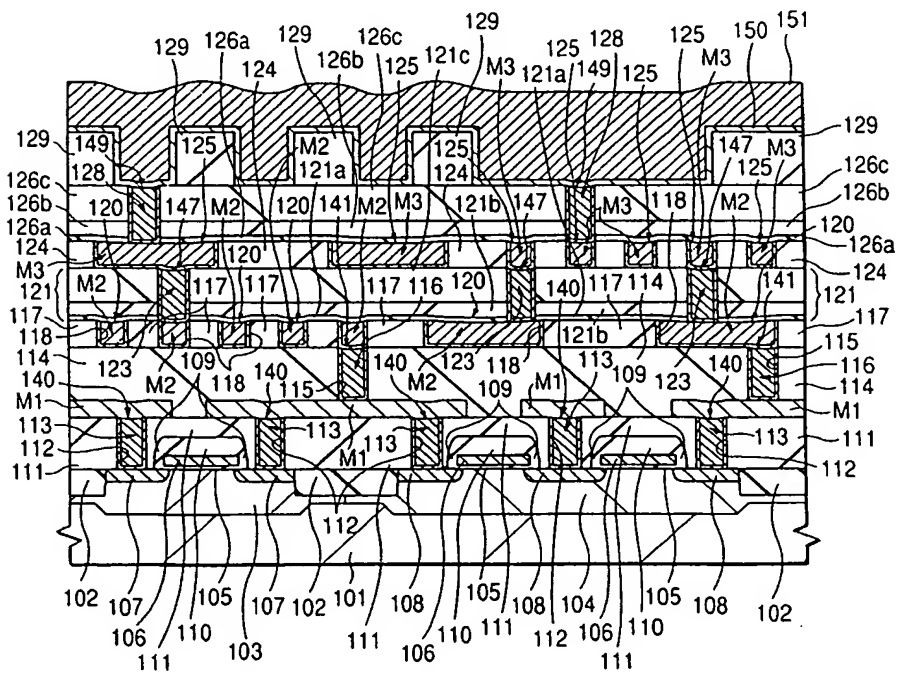
도면 48



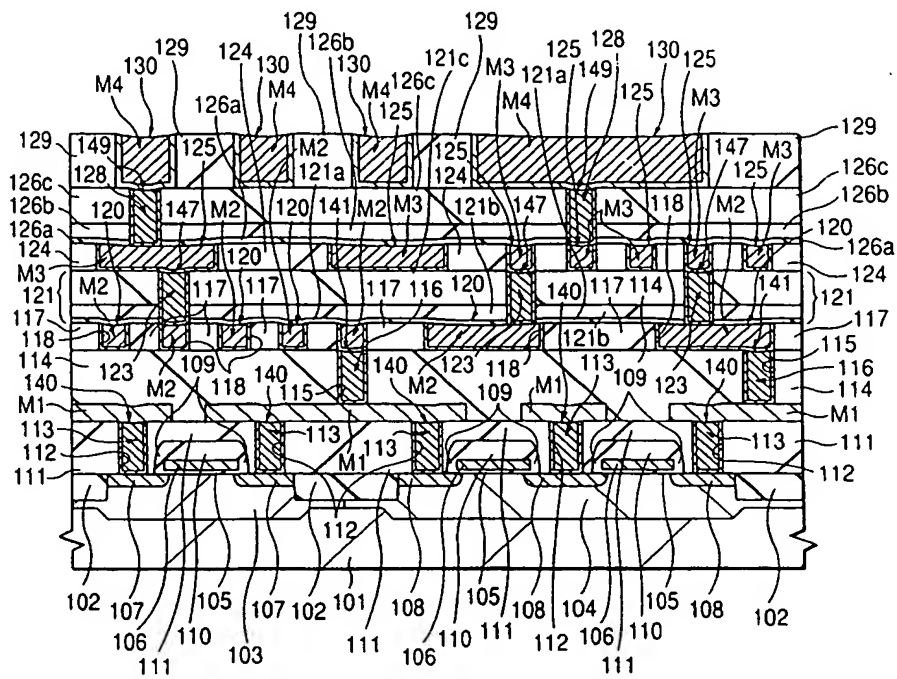
도면49



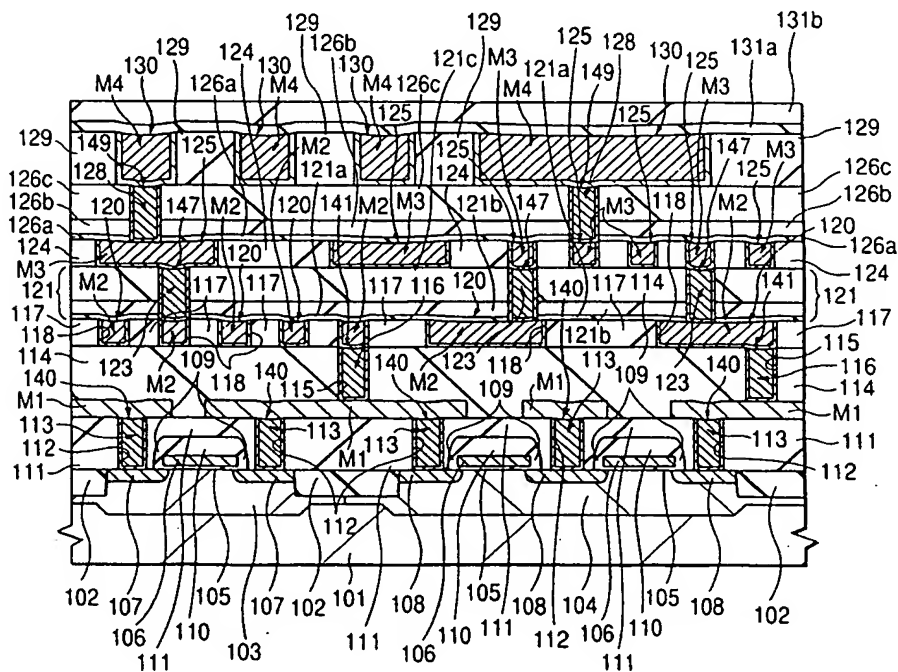
도면50



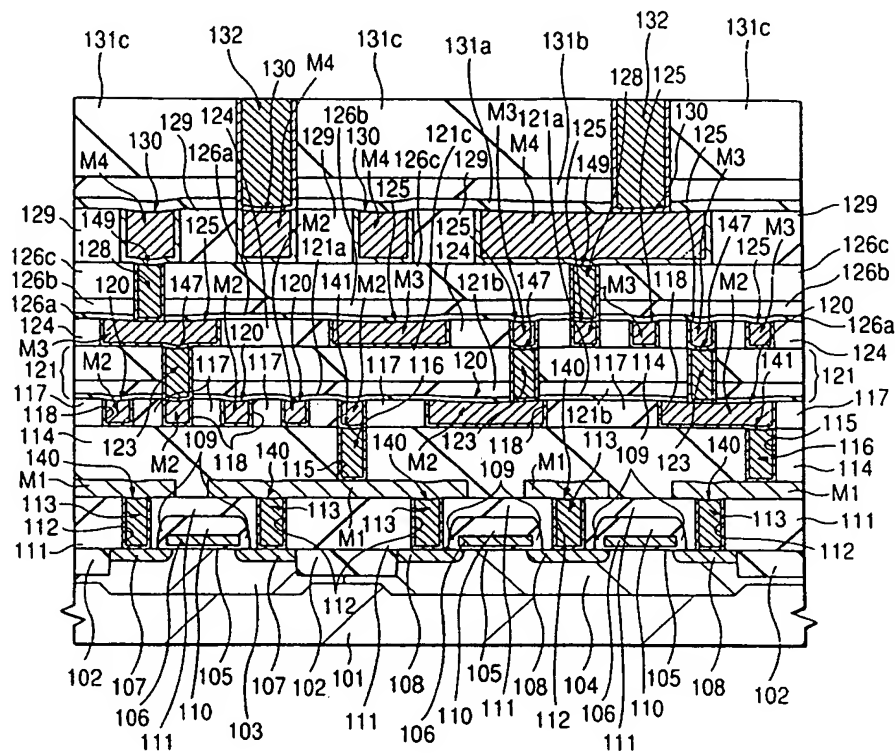
도면51



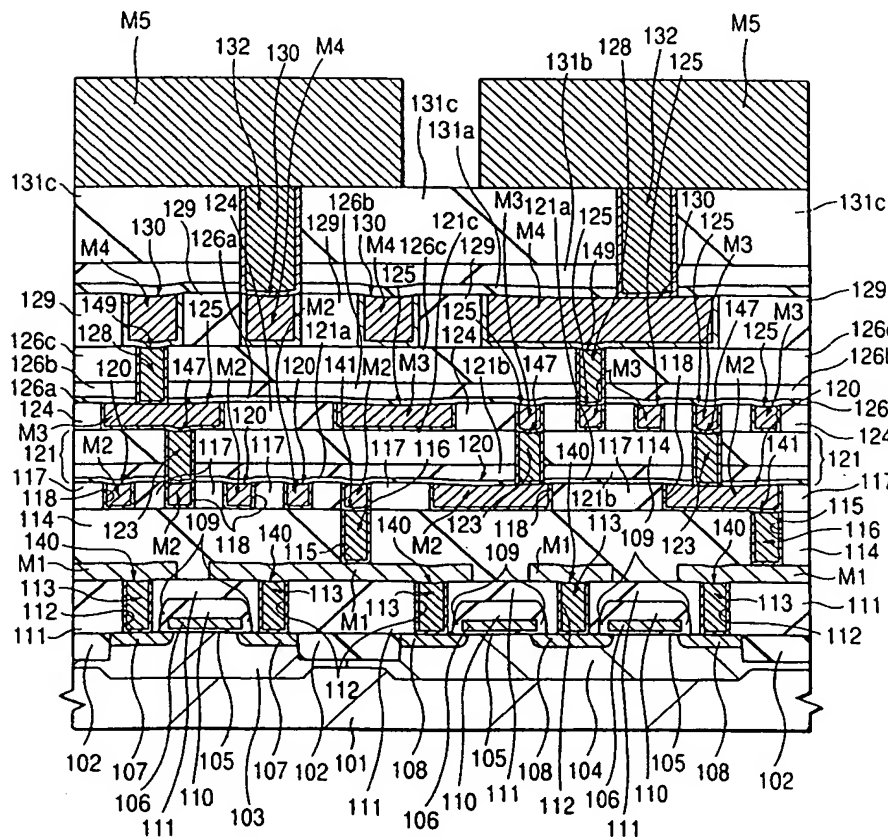
도면52



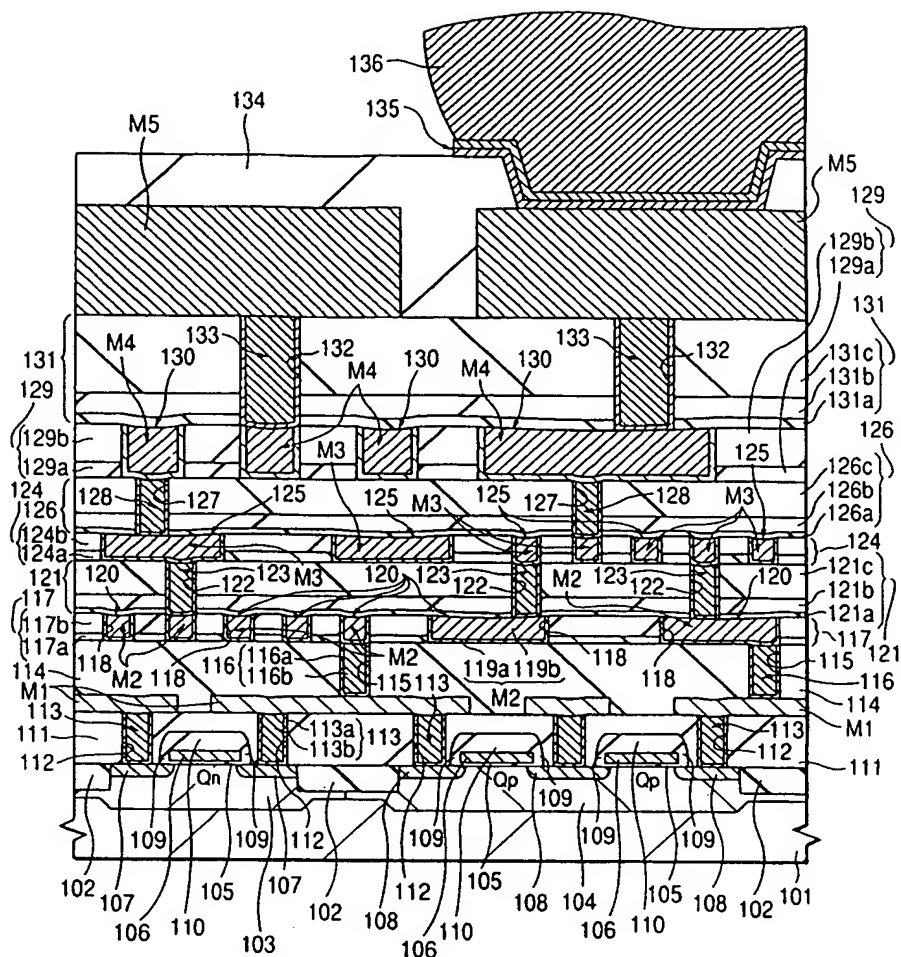
도면53



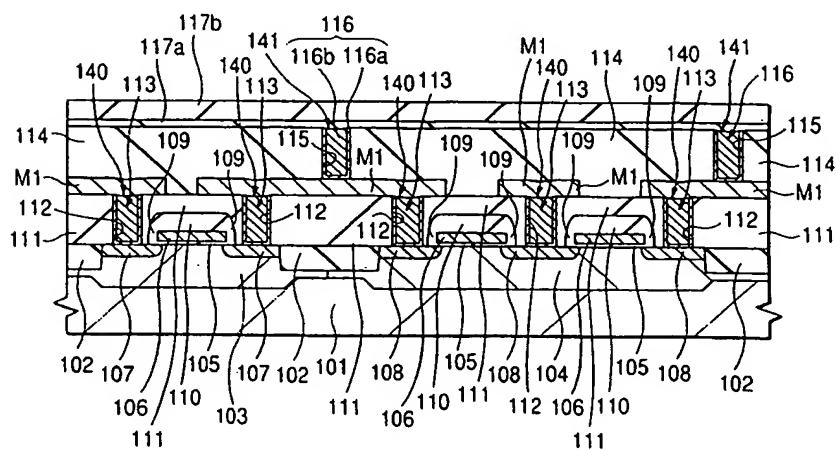
도면 54



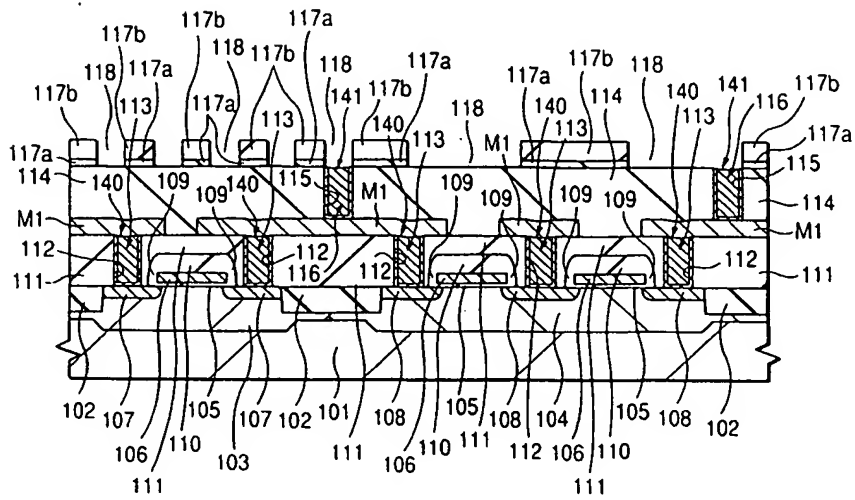
도면55



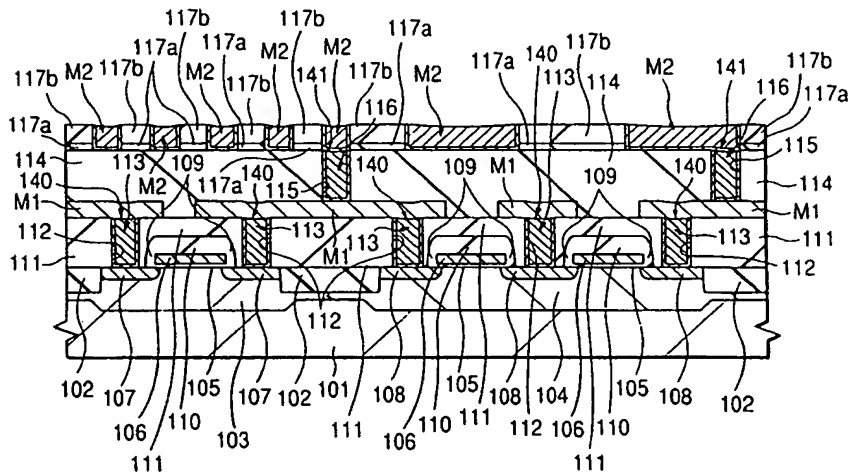
도면 56



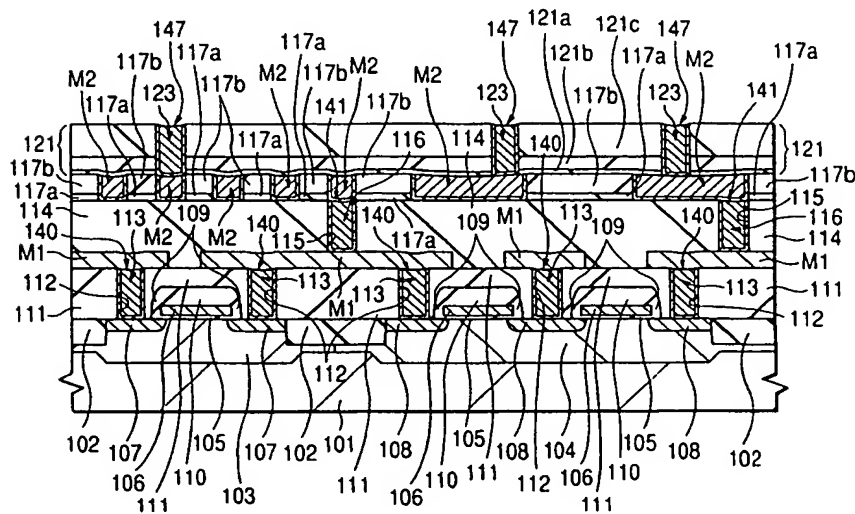
도면57



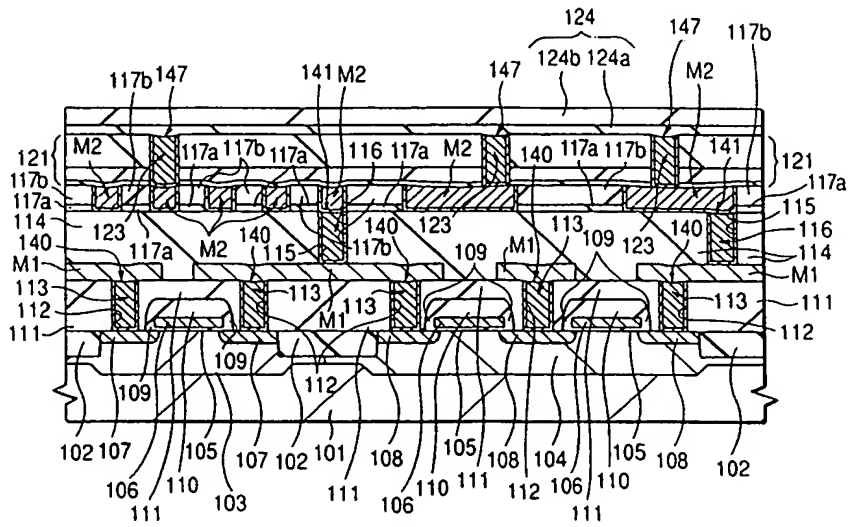
도면58



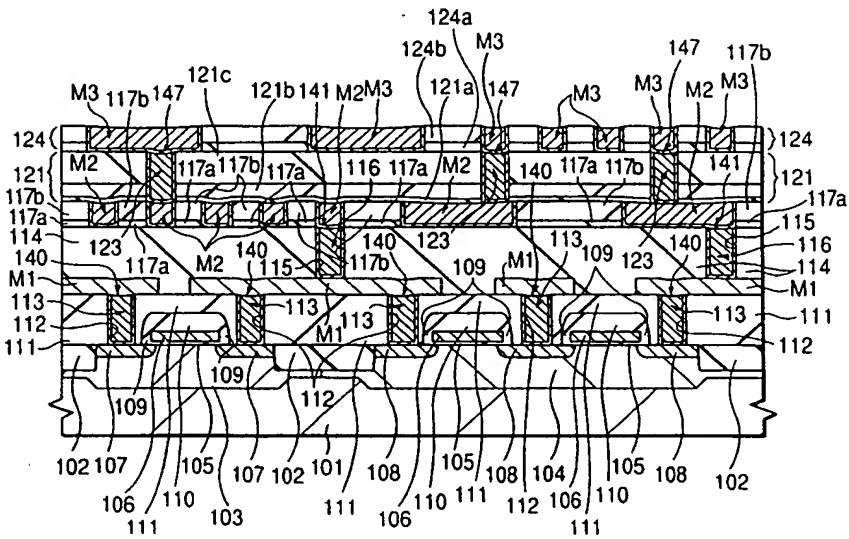
도면59



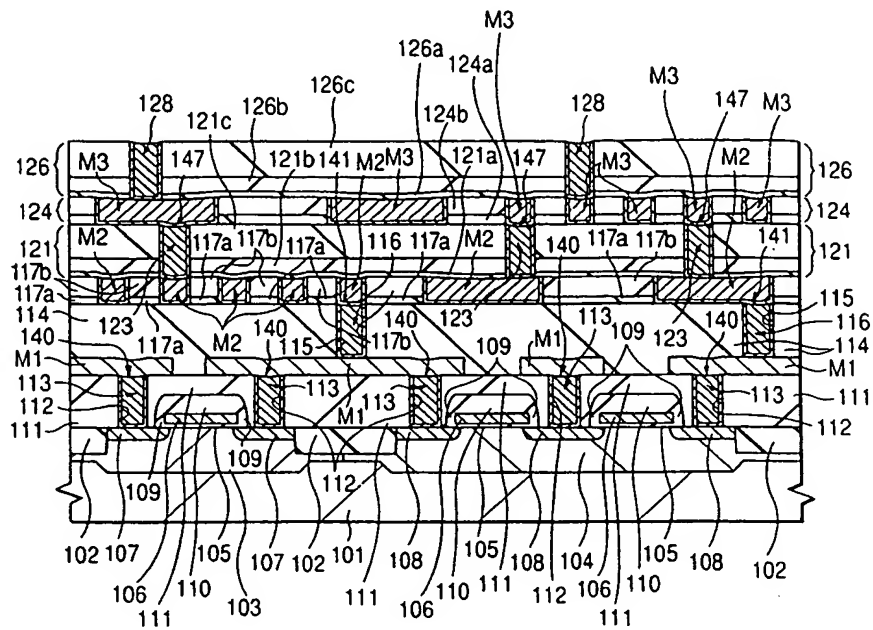
도면60



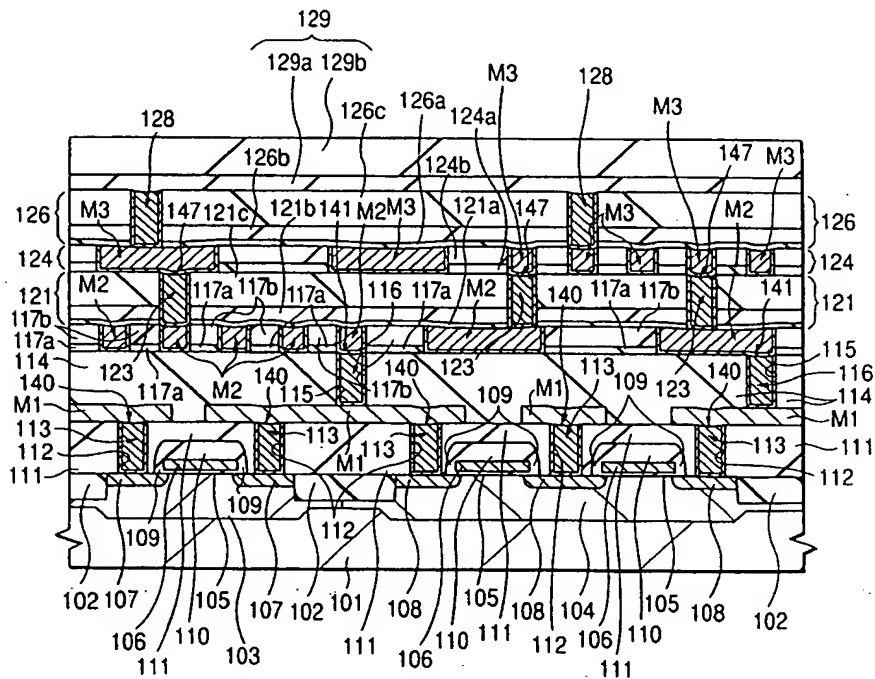
도면61



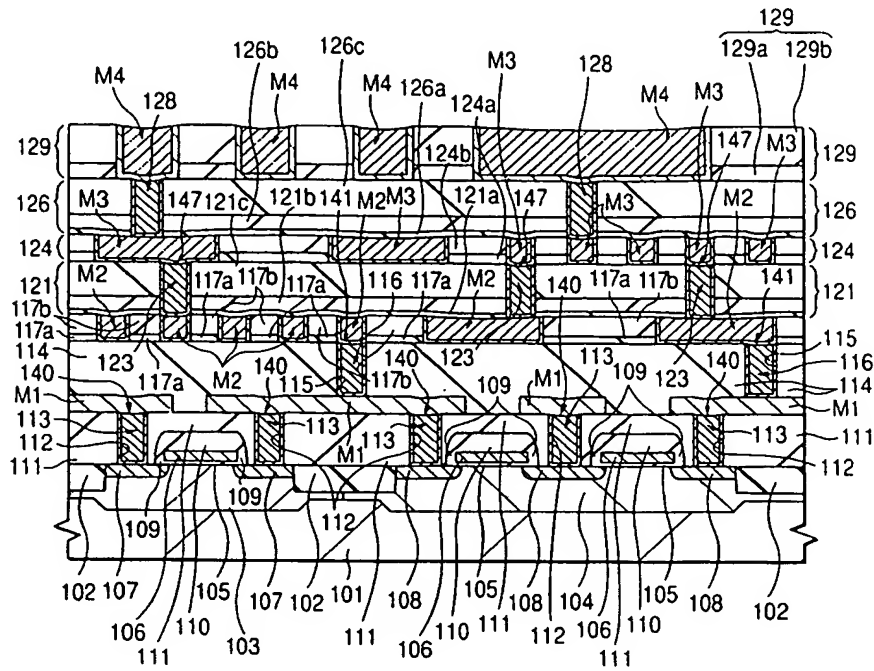
도면 62



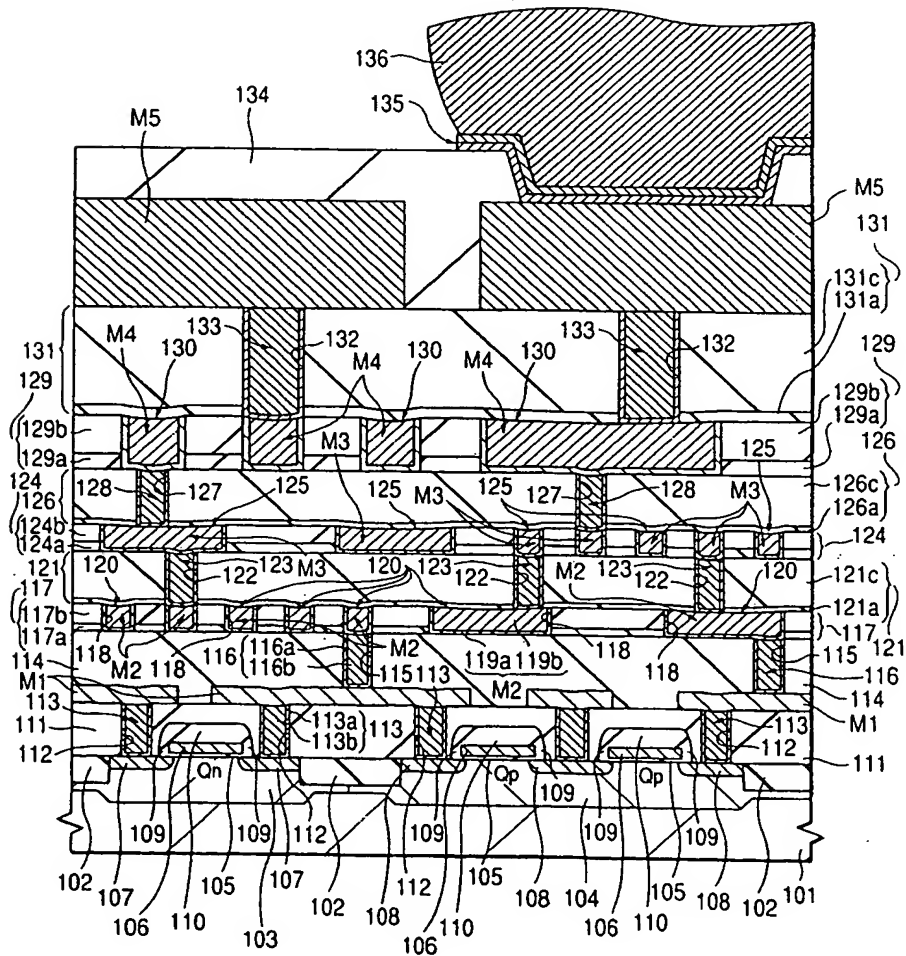
도면 63



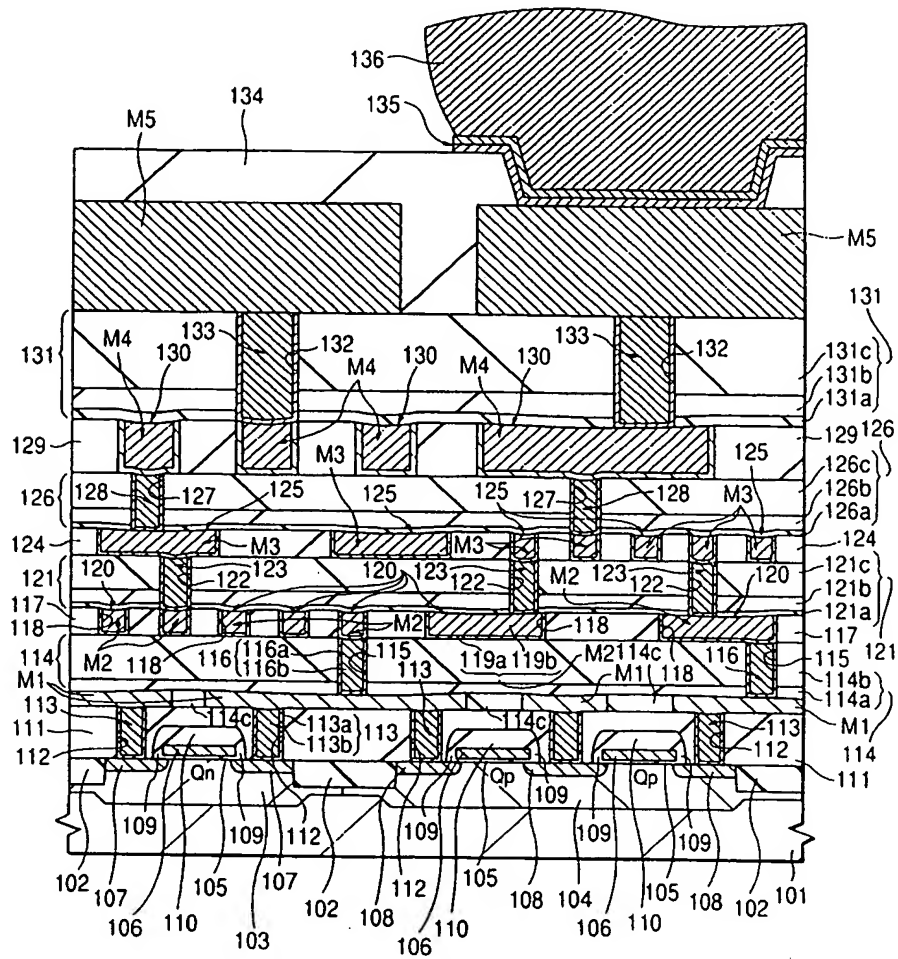
도면64



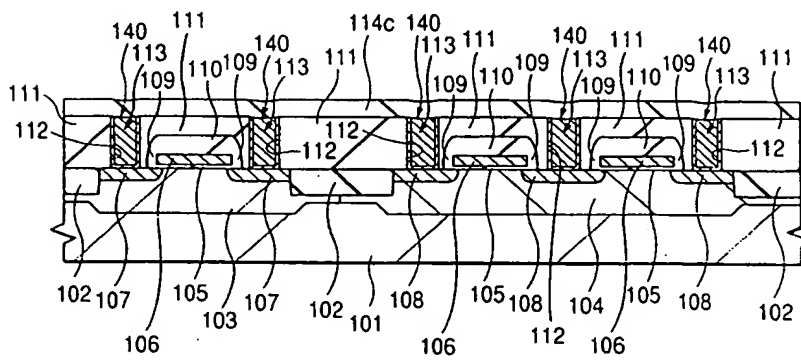
도면65



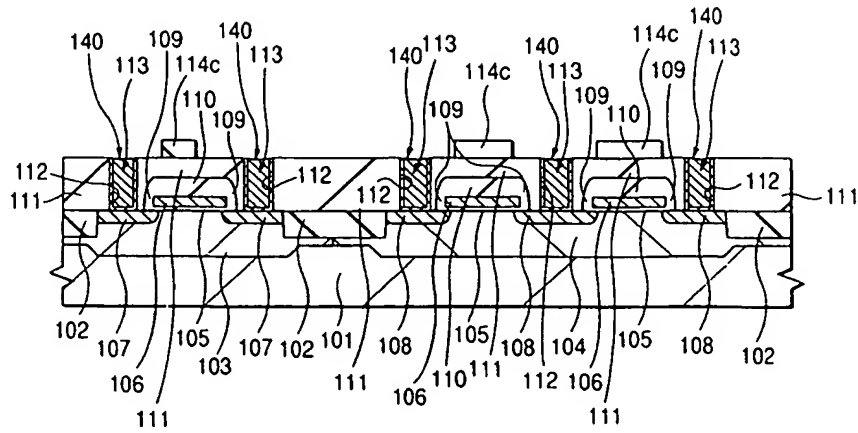
도면66



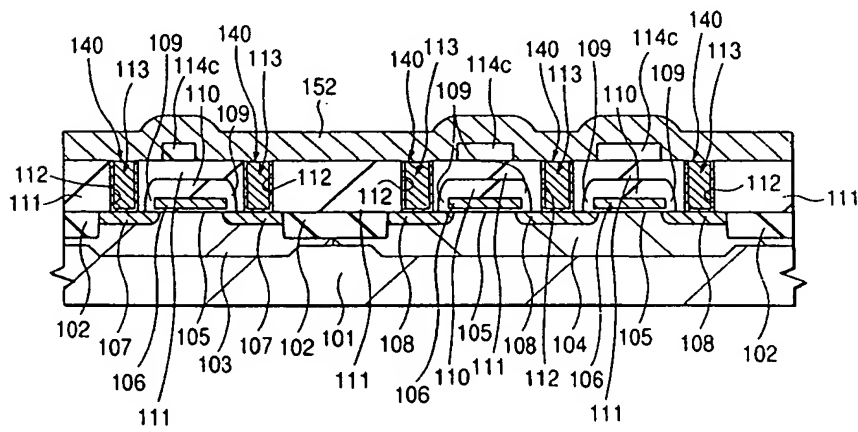
도면67



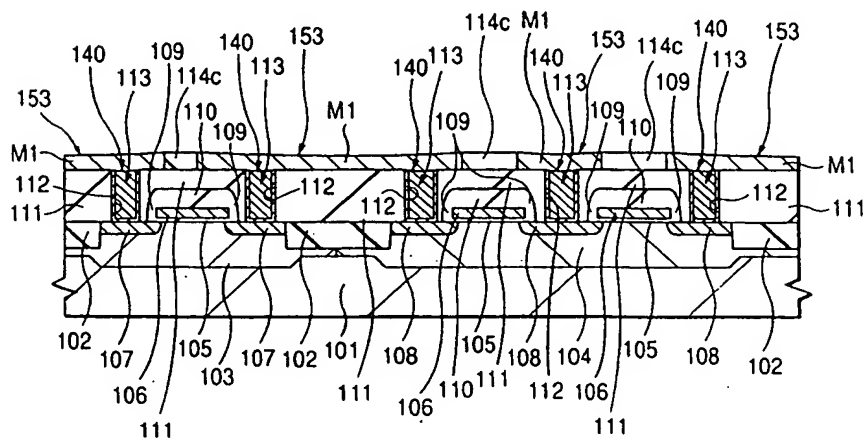
도면68



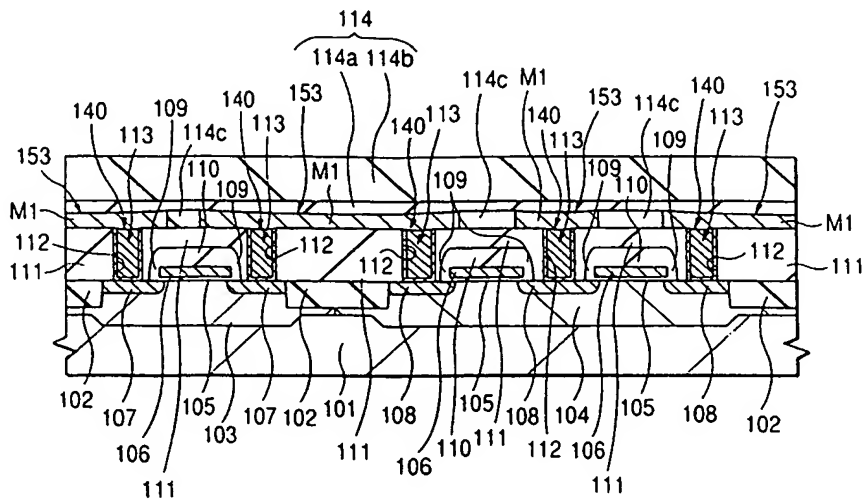
도면69



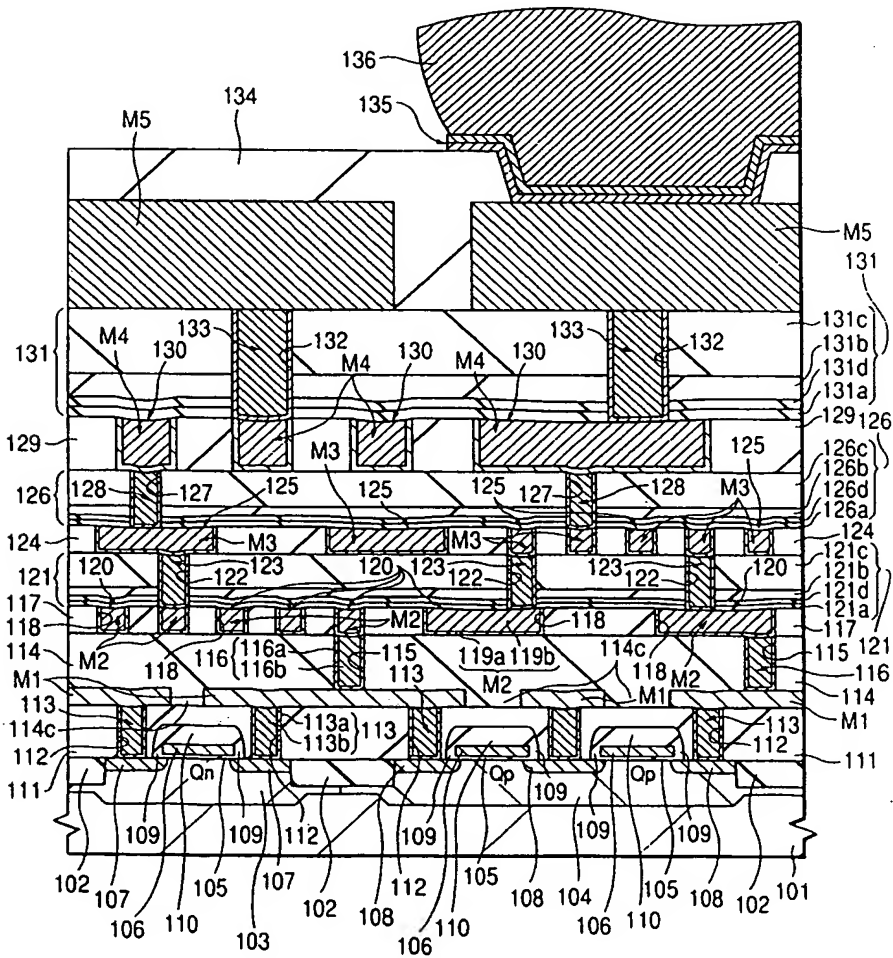
도면70



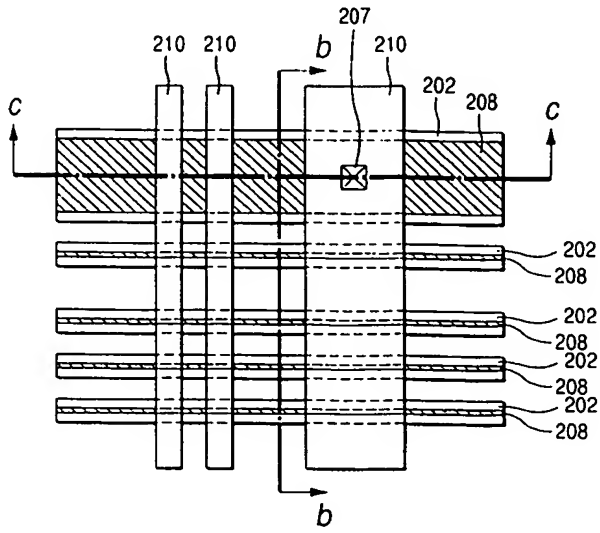
도면71



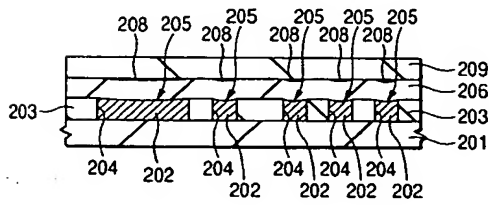
도면72



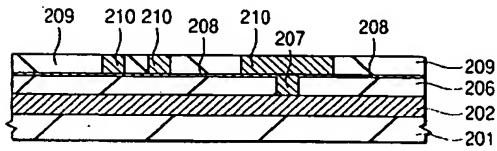
도면73a



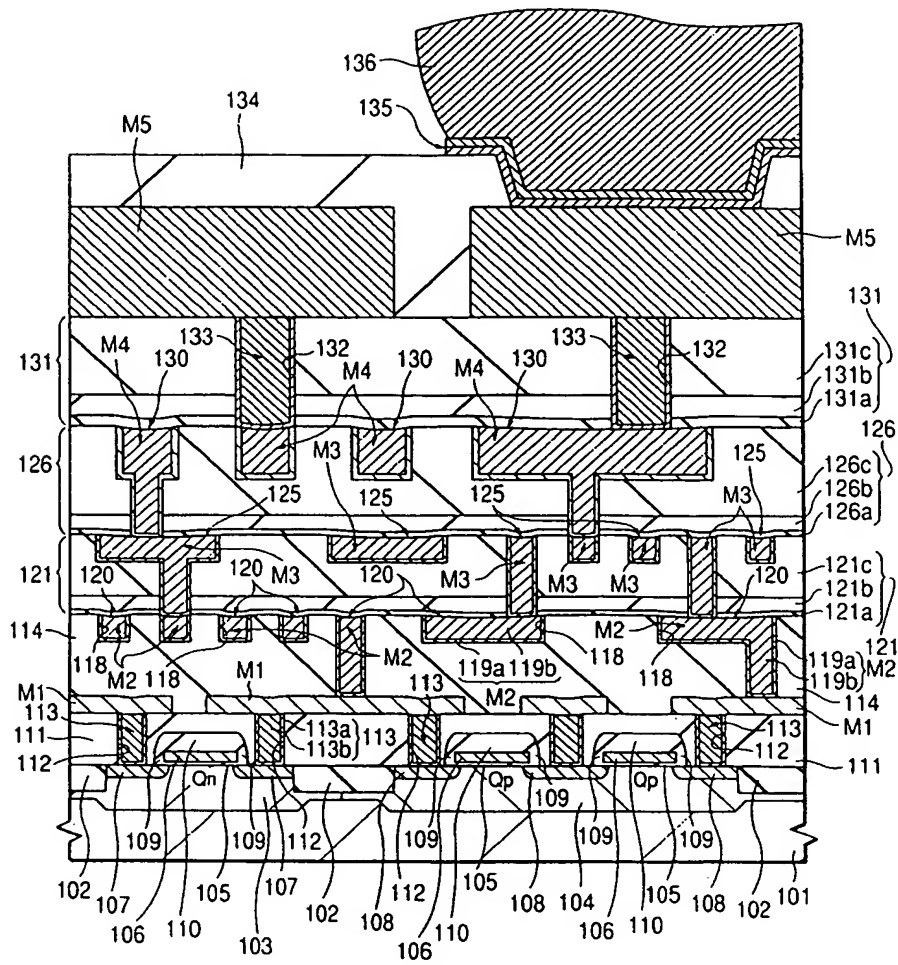
도면73b



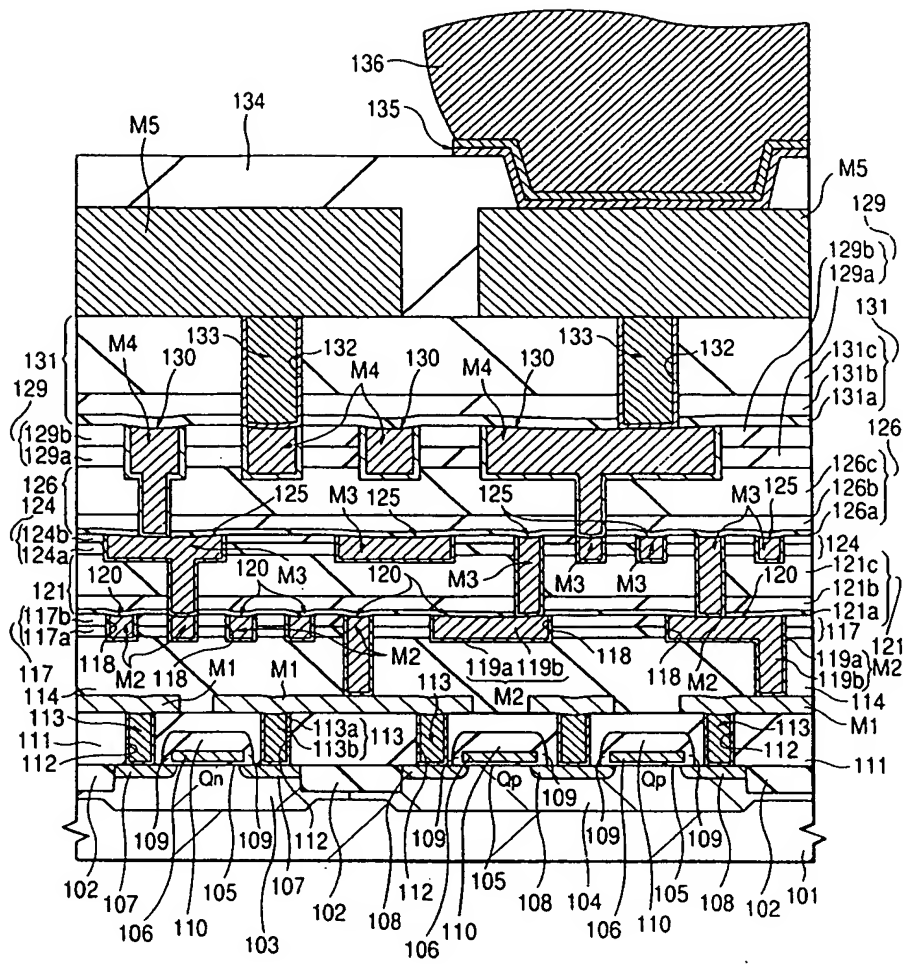
도면73c



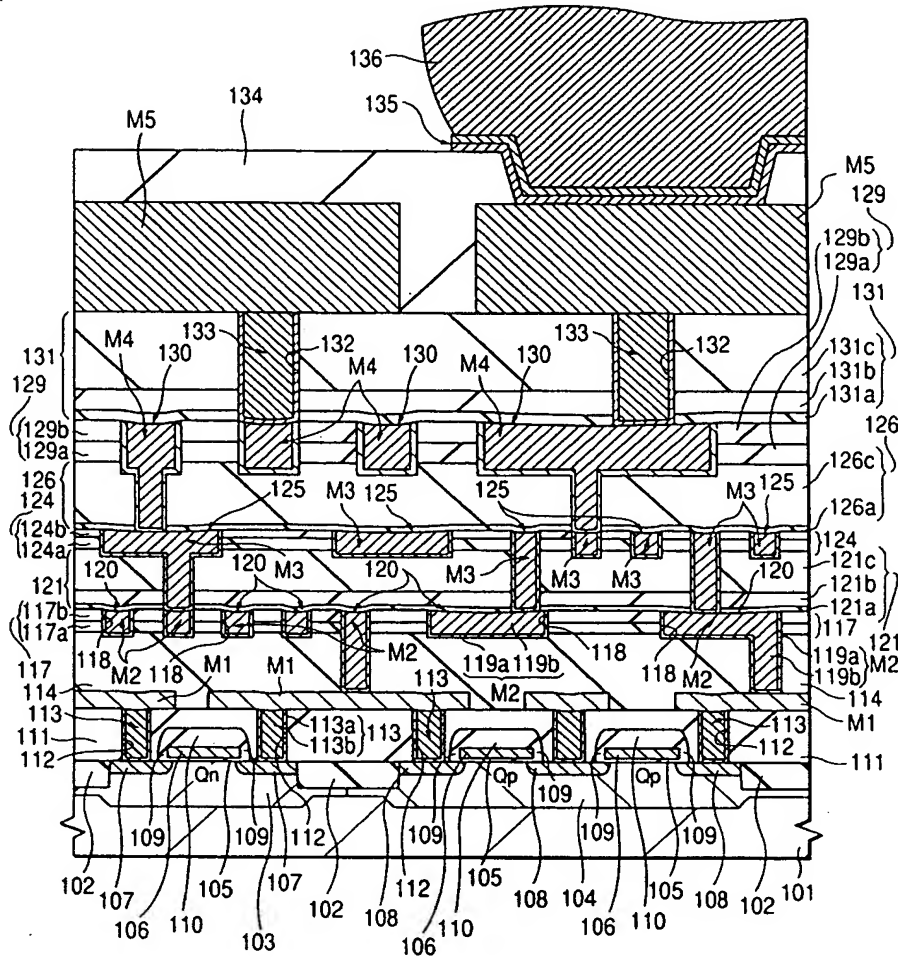
도면 74



도면75



도면76



도면 77

